

Family list**3** family members for:**JP9116167**

Derived from 3 applications.

- 1 THIN FILM SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY, AND ITS MANUFACTURE, AND ELECTRONIC EQUIPMENT**
Publication info: **JP9116167 A** - 1997-05-02
- 2 THIN-FILM SEMICONDUCTOR UNIT, LIQUID CRYSTAL DISPLAY DEVICE AND METHOD FOR MANUFACTURING THE SAME, AND ELECTRONIC EQUIPMENT**
Publication info: **JP2004170999 A** - 2004-06-17
- 3 LIQUID CRYSTAL DISPLAY DEVICE AND ITS MANUFACTURING METHOD, AND ELECTRONIC EQUIPMENT**
Publication info: **JP2004341540 A** - 2004-12-02

Data supplied from the **esp@cenet** database - Worldwide

DIALOG(R)File 347:JAPIO

(c) 2005 JPO & JAPIO. All rts. reserv.

05501367 **Image available**

THIN FILM SEMICONDUCTOR DEVICE, LIQUID CRYSTAL DISPLAY, AND
ITS
MANUFACTURE, AND ELECTRONIC EQUIPMENT

PUB. NO.: 09-116167 [JP 9116167 A]

PUBLISHED: May 02, 1997 (19970502)

INVENTOR(s): MIYASAKA MITSUTOSHI
 TAKENAKA SATOSHI

APPLICANT(s): SEIKO EPSON CORP [000236] (A Japanese Company or Corporation)
 , JP (Japan)

APPL. NO.: 07-339750 [JP 95339750]

FILED: December 26, 1995 (19951226)

INTL CLASS: [6] H01L-029/786; G02F-001/136; H01L-021/8238;
H01L-027/092;

 H01L-021/336

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2
(PRECISION

 INSTRUMENTS -- Optical Equipment); 44.9 (COMMUNICATION --
Other)

JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097

(ELECTRONIC

 MATERIALS -- Metal Oxide Semiconductors, MOS); R100
(ELECTRONIC MATERIALS -- Ion Implantation)

ABSTRACT

PROBLEM TO BE SOLVED: To provide a film semiconductor device and a liquid crystal display where the improvement of quality in indication, etc., can be made by putting each TFT in LDD structure thereby speeding up the operation in a CMOS circuit, and also, by optimizing the electric property of each TFT each individually.

SOLUTION: In an active matrix substrate 1, for the purpose of lightening the intensity of electric fields at the drain end, at the source regions 11, 21, and 31, and the drain regions 12, 22, and 32, the sections opposed to the ends of gate electrodes are lightly doped source regions 111, 211, and 311, and lightly doped drain regions 121, 221, and 321. At the n-type TFTs 10 and 20, the concentration of impurities in the lightly doped source regions 111 and 211 and the lightly doped drain regions 121 and 221 is $0.5 \times 10^{18} \text{ cm}^{-3}$, but at the p-type TFT 30, it is higher than that, and the concentration of impurities in the lightly doped source region 311 and the lightly doped drain region 321 is $2.0 \times 10^{19} \text{ cm}^{-3}$.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-116167

(43) 公開日 平成9年(1997)5月2日

(51) Int. Cl.⁶ 識別記号
H01L 29/786
G02F 1/136 500
H01L 21/8238
27/092
21/336

F I
H01L 29/78 613 A
G02F 1/136 500
H01L 27/08 321 E
29/78 612 B
616 A

審査請求 未請求 請求項の数49 O L (全37頁)

(21) 出願番号 特願平7-339750
(22) 出願日 平成7年(1995)12月26日
(31) 優先権主張番号 特願平6-326495
(32) 優先日 平6(1994)12月27日
(33) 優先権主張国 日本(J P)
(31) 優先権主張番号 特願平7-16131
(32) 優先日 平7(1995)2月2日
(33) 優先権主張国 日本(J P)
(31) 優先権主張番号 特願平7-204541
(32) 優先日 平7(1995)8月10日
(33) 優先権主張国 日本(J P)

(71) 出願人 000002369
セイコーエプソン株式会社
東京都新宿区西新宿2丁目4番1号
(72) 発明者 宮坂 光敏
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(72) 発明者 竹中 敏
長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

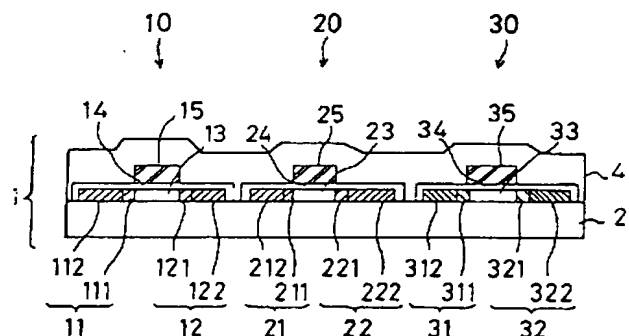
最終頁に続く

(54) 【発明の名称】 薄膜半導体装置、液晶表示装置及びその製造方法、並びに電子機器

(57) 【要約】

【課題】 各TFTをLDD構造とすることによってCMOS回路における動作を高速化するとともに、各TFTの電気的特性をそれぞれ個別的に最適化することによって、表示品質の向上などを図ることができる薄膜半導体装置、液晶表示装置、およびその製造方法を提供すること。

【解決手段】 アクティブマトリクス基板1では、ドレイン端における電界強度を緩和する目的のために、ソース領域11、21、31およびドレイン領域12、22、32には、ゲート電極の端部に対峙する部分が低濃度ソース領域111、211、311、および低濃度ドレイン領域121、221、321になっている。N型のTFT10、20では、低濃度ソース領域111、211、および低濃度ドレイン領域121、221の不純物濃度は、 $0.5 \times 10^{18} \text{ cm}^{-3}$ であるが、P型のTFT30では、それよりも高く、低濃度ソース領域311および低濃度ドレイン領域321の不純物濃度は、 $2.0 \times 10^{18} \text{ cm}^{-3}$ である。



【特許請求の範囲】

【請求項1】 N型およびP型の薄膜トランジスタによりCMOS回路が構成された薄膜半導体装置において、前記N型およびP型の薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対して前記ゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるとともに、前記P型の薄膜トランジスタにおける前記低濃度・ドレイン領域の不純物濃度は、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度10に比較して高いことを特徴とする薄膜半導体装置。

【請求項2】 請求項1において、前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約6倍から約8倍までの範囲にあることを特徴とする薄膜半導体装置。

【請求項3】 請求項1において、前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、約 $1.5 \times 10^{18} \text{ cm}^{-3}$ から約 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲にあり、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約 $0.5 \times 10^{18} \text{ cm}^{-3}$ までの範囲にあることを特徴とする薄膜半導体装置。

【請求項4】 請求項1において、前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t とし、更に前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度を $C_{D,PLDD}$ としたときに、 t と $C_{D,PLDD}$ は次式

$$1.2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2}$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項5】 請求項4において、 t は次式

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

$$1.2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2}$$

$$2.4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2}$$

$$3 \leq C_{D,PLDD} / C_{D,NLDD} \leq 5$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項11】 請求項10において、 t は次式

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項12】 薄膜半導体装置が形成された基板を構成要素の一部とする電子機器に於いて、

該薄膜半導体装置は請求項1乃至11の内いずれかの項に記載されて居る物で有る事を特徴とする電子機器。

【請求項13】 アクティブマトリクス基板上に、駆動回路部でCMOS回路を構成する第1導電型および第2

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項6】 請求項1において、前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t とし、更に前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度を $C_{D,NLDD}$ としたときに、 t と $C_{D,NLDD}$ は次式

$$2.4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2}$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項7】 請求項6において、 t は次式

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項8】 請求項1において、前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度、および前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度をそれぞれ $C_{D,NLDD}$ と $C_{D,PLDD}$ にて表現した時に、 $C_{D,NLDD}$ と $C_{D,PLDD}$ は次式

$$3 \leq C_{D,PLDD} / C_{D,NLDD} \leq 5$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項9】 請求項8において、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t としたときに、 t は次式

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

を満たす範囲にあることを特徴とする薄膜半導体装置。

【請求項10】 請求項1において、前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t とし、更に前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度、および前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度をそれぞれ $C_{D,NLDD}$ と $C_{D,PLDD}$ にて表現した時に、 t 及び $C_{D,NLDD}$ と $C_{D,PLDD}$ は次式

導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有する液晶表示装置において、

前記駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、

前記第1導電型の画素用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記第1

導電型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して低いことを特徴とする液晶表示装置。

【請求項 1 4】 請求項 1 3 において、前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする液晶表示装置。

【請求項 1 5】 請求項 1 3 において、前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする液晶表示装置。

【請求項 1 6】 請求項 1 4 乃至 1 5 において、前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする液晶表示装置。

【請求項 1 7】 請求項 1 6 において、前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約 6 倍から約 8 倍までの範囲にあることを特徴とする液晶表示装置。

【請求項 1 8】 請求項 1 4 乃至 1 7 において、前記 N 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記 P 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式 $0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$

を満たすことを特徴とする液晶表示装置。

【請求項 1 9】 請求項 1 3 において、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域は、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第 1 導電型の不純物と、該不純物のドーズ量よりも少なくして前記第 2 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第 2 導電型の不純物とが導入されていることにより、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域よりも実質的に低濃度の第 1 導電型領域になっていることを特徴とする液晶表示装置。

【請求項 2 0】 請求項 1 9 において、前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする液晶表示装置。

【請求項 2 1】 請求項 1 9 において、前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする液晶表示装置。

【請求項 2 2】 請求項 1 9 ないし 2 1 のいずれかの項において、前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 1 導電型の画素用薄膜トランジスタの前

記低濃度ソース・ドレイン領域における第 1 導電型の不純物濃度を N_1 cm^{-3} とし、前記第 2 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 2 導電型の不純物濃度を N_{11} cm^{-3} としたときに、 N_1 、 N_{11} は、下記の各式

$$0 < N_{11} < N_1 < 1.0 \times 10^{18}$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 3】 請求項 2 2 において、

$$(N_1 - N_{11}) \leq 3 \times 10^{18}$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 4】 請求項 1 9 ないし 2 1 のいずれかの項において、前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 1 導電型の不純物濃度を N_1 cm^{-3} とし、前記第 2 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 2 導電型の不純物濃度を N_{11} cm^{-3} としたときに、 N_1 、 N_{11} は、下記の各式

$$0 < N_{11} \leq (4 \times 10^{18})$$

$$N_{11} < N_1 \leq (N_{11} + 3 \times 10^{18})$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 5】 請求項 1 9 ないし 2 1 のいずれかの項において、前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 1 導電型の不純物濃度を N_1 cm^{-3} とし、前記第 2 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 2 導電型の不純物濃度を N_{11} cm^{-3} としたときに、 N_1 、 N_{11} は、下記の各式

$$0 < N_{11} < N_1 \leq (N_{11} + 3 \times 10^{18})$$

$$N_1 \leq (4 \times 10^{18})$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 6】 請求項 1 9 ないし 2 1 のいずれかの項において、前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 1 導電型の不純物濃度を N_1 cm^{-3} とし、前記第 2 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 2 導電型の不純物濃度を N_{11} cm^{-3} としたときに、 N_1 、 N_{11} は、下記の各式

$$0 < N_{11} < N_1 \leq (4 \times 10^{18})$$

$$(N_1 - 3 \times 10^{18}) \leq N_{11} \leq (3 \times 10^{18})$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 7】 請求項 1 9 ないし 2 1 のいずれかの項において、前記第 1 導電型の駆動回路用薄膜トランジスタおよび前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 1 導電型の不純物濃度を N_1 cm^{-3} とし、前記第 2 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第 2 導電型の不純物濃度を N_{11} cm^{-3} とし、更

に前記第 1 導電型の駆動回路用薄膜トランジスタのチャネル長 $L_{D,1}$ を x (μm) とした時に (但し、 $0 < x \leq 3$)、 x と N_{i1} 、 N_{i2} は下記の各式

$$0 < N_{i1} < N_{i2} \leq (x \times 10^{18})$$

を満たすことを特徴とする液晶表示装置。

【請求項 2 8】 請求項 2 0 ないし 2 7 のいずれかの項に規定する液晶表示装置の製造方法において、前記第 2 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第 2 導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも低濃度の第 2 導電型不純物を導入し、しかる後に、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第 1 導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも前記低濃度第 2 導電型不純物導入工程における第 2 導電型不純物のドーザ量よりも大きなドーザ量で第 1 導電型の不純物を導入し、前記低濃度第 2 導電型不純物導入工程において第 2 導電型として形成された前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域を第 1 導電型に反転させることによって、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域を形成することを特徴とする液晶表示装置の製造方法。

【請求項 2 9】 請求項 2 0 ないし 2 7 のいずれかの項に規定する液晶表示装置の製造方法において、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第 1 導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも低濃度の第 1 導電型不純物を導入し、しかる後に、前記第 2 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第 2 導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも前記低濃度第 1 導電型不純物導入工程における第 1 導電型不純物のドーザ量よりも小さなドーザ量の第 2 導電型不純物を導入し、前記低濃度第 1 導電型不純物導入工程において形成された前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域における不純物濃度を実質的に低濃度化することによって、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域を形成することを特徴とする液晶表示装置の製造方法。

【請求項 3 0】 アクティブマトリクス基板上に、駆動回路部に形成され CMOS 回路を構成する第 1 導電型および第 2 導電型の駆動回路用薄膜トランジスタと、画素

領域に形成された第 1 導電型の画素用薄膜トランジスタとを有する液晶表示装置において、

前記第 1 導電型の画素用薄膜トランジスタ、前記第 1 導電型の駆動回路用薄膜トランジスタ、および前記第 2 導電型の駆動回路用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備える LDD 構造を有し、

前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記第 1 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより長いことを特徴とする液晶表示装置。

【請求項 3 1】 請求項 3 0 において、前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする液晶表示装置。

【請求項 3 2】 請求項 3 0 において、前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする液晶表示装置。

【請求項 3 3】 請求項 3 1 乃至 3 2 において、前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより短いことを特徴とする液晶表示装置。

【請求項 3 4】 請求項 3 3 において、前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さに対して約 1.5 倍から約 3 倍までの範囲にあることを特徴とする液晶表示装置。

【請求項 3 5】 請求項 3 1 乃至 3 2 において、前記 N 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,NLDD}$ 、 $W_{D,NLDD}$ とし、前記 P 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,PLDD}$ 、 $W_{D,PLDD}$ としたときに、 $L_{D,NLDD}$ 、 $W_{D,NLDD}$ 、 $L_{D,PLDD}$ 、 $W_{D,PLDD}$ は、以下の式

$$1.5 < (L_{D,NLDD} / W_{D,NLDD}) / (L_{D,PLDD} / W_{D,PLDD}) < 3.0$$

を満たすことを特徴とする液晶表示装置。

【請求項 3 6】 請求項 3 1 乃至 3 5 において、前記 N 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記 P 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式

$$0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$$

を満たすことを特徴とする液晶表示装置。

【請求項 3 7】 アクティブマトリクス基板上に、駆動回路部に形成され CMOS 回路を構成する第 1 導電型お

よび第 2 導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第 1 導電型の画素用薄膜トランジスタとを有する液晶表示装置において、

前記第 1 導電型の画素用薄膜トランジスタ、前記第 1 導電型の駆動回路用薄膜トランジスタ、および前記第 2 導電型の駆動回路用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備える LDD 構造を有し、

前記第 1 導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記第 1 導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより長く、

前記第 1 導電型の画素用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記第 1 導電型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して低いことを特徴とする液晶表示装置。

【請求項 3 8】 請求項 3 7 において、前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする液晶表示装置。

【請求項 3 9】 請求項 3 7 において、前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする液晶表示装置。

【請求項 4 0】 請求項 3 8 乃至 3 9 において、前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより短いことを特徴とする液晶表示装置。

【請求項 4 1】 請求項 4 0 において、前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さに対して約 1.5 倍から約 3 倍までの範囲にあることを特徴とする液晶表示装置。

【請求項 4 2】 請求項 4 0 乃至 4 1 において、前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする液晶表示装置。

【請求項 4 3】 請求項 4 2 において、前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約 6 倍から約 8 倍までの範囲にあることを特徴とする液晶表示装置。

【請求項 4 4】 請求項 3 8 乃至 3 9 において、前記 N 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1NLDD} 、 W_{D1NLDD}

とし、前記 P 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1PLDD} 、 W_{D1PLDD} としたときに、 L_{D1NLDD} 、 W_{D1NLDD} 、 L_{D1PLDD} 、 W_{D1PLDD} は、以下の式

$$1.5 < (L_{D1NLDD} / W_{D1NLDD}) / (L_{D1PLDD} / W_{D1PLDD}) < 3.0$$

を満たすことを特徴とする液晶表示装置。

【請求項 4 5】 請求項 3 8 乃至 4 4 において、前記 N 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ L_{D1N} および W_{D1N} とし、前記 P 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ L_{D1P} 、 W_{D1P} としたときに、 L_{D1N} 、 W_{D1N} 、 L_{D1P} 、 W_{D1P} は、以下の式

$$0.8 \leq (L_{D1N} \cdot W_{D1N}) / (L_{D1P} \cdot W_{D1P}) \leq 1.25$$

を満たすことを特徴とする液晶表示装置。

【請求項 4 6】 N 型および P 型の薄膜トランジスタにより CMOS 回路が構成された薄膜半導体装置において、前記 N 型の薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1NLDD} 、 W_{D1NLDD} とし、前記 P 型の薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1PLDD} 、 W_{D1PLDD} としたときに、 L_{D1NLDD} 、 W_{D1NLDD} 、 L_{D1PLDD} 、 W_{D1PLDD} は、以下の式

$$(L_{D1NLDD} / W_{D1NLDD}) \geq (L_{D1PLDD} / W_{D1PLDD})$$

を満たすことを特徴とする薄膜半導体装置。

【請求項 4 7】 薄膜半導体装置が形成された基板を構成要素の一部とする電子機器に於いて、該薄膜半導体装置は請求項 4 6 に記載されて居る物で有る事を特徴とする電子機器。

【請求項 4 8】 アクティブマトリクス基板上に、駆動回路部で CMOS 回路を構成する第 1 導電型および第 2 導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第 1 導電型の画素用薄膜トランジスタとを有する液晶表示装置において、

前記駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備える LDD 構造を有し、

前記第 1 導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{P1ILDD} 、 W_{P1ILDD} とし、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1ILDD} 、 W_{D1ILDD} としたときに、 L_{P1ILDD} 、 W_{P1ILDD} 、 L_{D1ILDD} 、 W_{D1ILDD} は、以下の式

$$(L_{P1ILDD} / W_{P1ILDD}) \geq (L_{D1ILDD} / W_{D1ILDD})$$

を満たすことを特徴とする液晶表示装置。

【請求項 4 9】 請求項 1 3 乃至 2 7、請求項 3 0 乃至 4 5、請求項 4 8 の内のいずれかの項に記載の液晶表示

装置を備えた事の特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタ（本願ではこれをTFTと略称する）から構成されたCMOS回路を備えた薄膜半導体装置、およびそれを備える液晶表示装置と電子機器に関するものである。更に詳しくは、各薄膜トランジスタの電気的特性をそれぞれ個別に最適化するための技術に関するものである。

【0002】

【従来の技術】従来液晶表示装置のアクティブマトリクス基板等に利用される薄膜半導体装置はドナー元素やアクセプター元素を高濃度に含むソース・ドレイン領域がゲート電極に対してセルフアライン的に形成されて居る構造を取るのが一般的で有る。（本願では以下この構造をS/Aと略称する。）例えばシフトレジスタ等の駆動回路をアクティブマトリクス基板上にTFTにて内蔵する場合（これらのTFTを本願ではDr TFTと略称する。）、これらのDr TFTをN型TFTとP型TFTにて相補的に構成するので有るが（本願ではこれをCMOS TFTと略称する）、通常このCMOS TFTはS/A構造とされて居る。またアクティブマトリクス基板の画素領域にも各画素電極のスッチング素子としてTFTが形成され（本願ではこれをPi TFTと略称する）、このPi TFTも多くの場合S/A構造とされている。

【0003】

【発明が解決しようとする課題】この様に従来の技術ではいずれのTFTもS/A構造を取っている。一方、通常TFTのチャンネル領域の不純物濃度（N型TFTで有ればアクセプターイオン濃度、P型TFTで有ればドナーイオン濃度）は窮めて低い為、LSIで見られたスケールング則が働かず、斯くして従来のS/A TFTではチャンネル長を5 μ m程度以上と長く取らざろう得なかった。この結果TFTのオン電流を増大し得ず、例えば駆動回路ではその動作の高速化を図れないとの問題点が生じて居た。加えてTFTのチャンネル長を短くしえぬが故ゲート容量も減少し得ず、この点からも駆動回路動作の高速化を妨げているとの問題点もある。更に従来のS/A TFTより構成される回路では回路動作が時間と供に劣化し、著しき僅か数分でその回路動作が停止して仕舞うとの問題（これを本願では回路の信頼性と略称する）が生じて居た。この回路の信頼性は回路規模が大きく成れば成る程、或いは回路構成が複雑に成れば成る程、更には動作速度が速く成れば成る程深刻と化し、それが故従来は高速動作をする高機能回路をTFTにて内蔵し得ないとの課題が有った。

【0004】一方、画素領域においても、S/A TFTのオフ電流が大きい為、フリッカや表示むらが発生しやすいとの問題点がある。

【0005】そこで本発明は上述の如き諸課題の解決を目差し、その目的とする所はTFTのオン電流を増大し、且つゲート容量を低減させ、もって高速動作可能な回路を構成し得る薄膜半導体装置を提供する事に有る。又本発明の別な目的は信頼性が高い高機能回路を構成し得る薄膜半導体装置を提供する事に有る。更に本発明の別な目的は高性能高機能回路をTFTにて内蔵し、同時に表示品質の優れた液晶表示装置とその製造方法を提供する事に有る。

10 【0006】

【課題を解決するための手段】上記課題を解決する為に、本願ではN型およびP型のTFTによりCMOS構成が取られた薄膜半導体装置（CMOS TFT）に於いて、N型及びP型のTFTはソース・ドレイン領域の内、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備える構造を取り（以下本願ではこの構造をLDDと略称し、低濃度ソース・ドレイン領域の事をLDD領域と呼ぶ。又LDD構造を取るTFTをLDD TFTと称する。）、このLDD領域のサイズや不純物濃度、更には各TFTのチャンネル長やチャンネル幅、TFTのソース・ドレイン領域やチャンネル領域を構成するシリコン等の半導体膜の膜厚とLDD領域の不純物濃度との関係などを最適化する事の特徴とする。又CMOS TFTから成る駆動回路を基板上に内蔵し、画素領域のスッチング素子としてTFTが利用されて居る、所謂アクティブマトリクス基板を用いた液晶表示装置ではPi TFTもDr TFTもいずれもLDD TFTとし、これらのTFT間に於いても前述の関係を最適化する事の特徴とする。更には電子機器に斯様なCMOS TFTや液晶表示装置を用いた事の特徴とする。

30

40

50

【0007】本願発明のLDD TFTにてCMOS回路を組んだ場合、上述の最適化が成されて居るが故、LDD領域のシート抵抗（TFT全体で見た時にはLDD領域に起因する寄生抵抗）を最小とし、同時にソース・ドレイン間の降伏電圧（本願ではこれをS/D耐圧と略称する。）とソース・ゲート間の降伏電圧（本願ではこれをS/G耐圧と略称する。）の両者を高められるので有る。こうした結果チャンネル長を短くしたり、或いはゲート絶縁膜を薄くすると云ったスケールング則のTFTへの適応が可能と成り、オン電流の増大（低寄生抵抗、短チャンネル、薄ゲート絶縁膜）やゲート容量の低減（短チャンネル）が容易に実現し、高速動作する回路が得られるので有る。更にLDD構造はドレイン端での電界強度を緩和する為、トランジスタのオン状態ではインパクト・イオン化に依るトランジスタの劣化を最小限に止め、斯くして回路の信頼性を向上せしめる訳で有る。又オフ状態ではオフリーク電流を最小とする為、回路誤動作の発生を抑制すると供に回路全体の消費電流をも低減するので有る。加えて本願発明のCMOS TFT

Tでは前述の最適化が成された結果、N型TFT及びP型TFTの素子サイズ（チャンネル領域の面積やチャンネル幅が等しい時のチャンネル長）をほぼ等しくした状態で且つ両者のオン電流値を同等とする事が可能である。即ち本願発明では電子と正孔との移動度の相違をLDD領域のシート抵抗の相違で相殺してオン電流を同等とするのである。従ってN型TFTとP型TFTのゲート容量をほぼ同一とした儘両者のオン電流を揃えられ、これが故本願発明に依るCMOS回路はPNのバランス（ゲート容量のバランスとオン抵抗のバランス）が取

れ、窮めて安定に且つその能力を最大限発揮して動作するのである。
 【0008】さて液晶表示装置のDr TFTとPi TFTとはその作用目的が異なっている。Dr TFTは上述の如く高機能回路が誤動作する事無く安定的に高速に働き、更に消費電流が低い事が望まれる。一方Pi TFTはDr TFTに比較してオン電流は差程大きな値が求められない反面、オフリーク電流はより確実に低減する事が強く求められる。従って本願発明は斯くたる事情を鑑みDr TFTとPi TFTとで其々独立に前述の諸パラメーターの最適化を施す事を特徴とする。こうする事で高機能高性能回路を内蔵し、美しい画質を表示する液晶表示装置が得られるのである。

【0009】こうしたLDD構造の最適化は通常製造工程を冗長煩雑として仕舞う。そこで本願は第1導電型TFTにLDD領域濃度が異なる二種類のLDD TFTが有る場合、一方のLDD TFTのLDD領域には第2導電型不純物を導入して実質的な第1導電型不純物濃度を低下せしめる事を特徴とする。こうする事に依り例えば液晶表示装置に於いては第1導電型および第2導電型の駆動回路用TFTの製造工程を援用しながら、第1導電型の駆動回路用TFTとは異なる電気的特性をもつ第1導電型画素用TFTを形成する事が可能と成る。即ち製造工程を増やすことなく、TFTの電気的特性を画素領域および駆動回路部毎に最適化出来るのである。それ故画素部では表示むらやちらつきなどが発生せず、且つ信頼性の高い高速動作駆動回路を内蔵した液晶表示装置を簡便に製造出来る訳である。

【0010】本願発明は具体的には以下に記すが如き特徴を有する。

【0011】（本発明の第1形態）本発明はN型およびP型の薄膜トランジスタによりCMOS回路が構成された薄膜半導体装置において、前記N型およびP型の薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対して前記ゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるとともに、前記P型の薄膜トランジスタにおける前記低濃度・ドレイン領域の不純物濃度は、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする。前記P型の薄膜トラ

ンジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約6倍から約8倍までの範囲にあることを特徴とする。更には前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、約 $1.5 \times 10^{18} \text{ cm}^{-3}$ から約 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲にあり、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約 $0.5 \times 10^{18} \text{ cm}^{-3}$ までの範囲にあることを特徴とする。

【0012】前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t とし、更に前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度を $C_{D,PLDD}$ としたときに、 t と $C_{D,PLDD}$ は次式 $1.2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2}$

を満たす範囲にあることを特徴とする。この時 t は次式 $1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$

を満たす範囲にあることを特徴とする。

【0013】前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t とし、更に前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度を $C_{D,NLDD}$ としたときに、 t と $C_{D,NLDD}$ は次式 $2.4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2}$

を満たす範囲にあることを特徴とする。この時 t は次式 $1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$

を満たす範囲にあることを特徴とする。

【0014】前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度、および前記P型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度をそれぞれ $C_{D,NLDD}$ と $C_{D,PLDD}$ にて表現した時に、 $C_{D,NLDD}$ と $C_{D,PLDD}$ は次式 $3 \leq C_{D,PLDD} / C_{D,NLDD} \leq 5$

を満たす範囲にあることを特徴とする。この時前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する半導体膜の膜厚を t としたときに、 t は次式 $1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$

を満たす範囲にあることを特徴とする。

【0015】前記N型およびP型の薄膜トランジスタは低温プロセスにて製造され、前記N型およびP型の薄膜トランジスタの低濃度ソース・ドレイン領域を構成する

10

20

30

40

50

半導体膜の膜厚を t とし、更に前記N型の薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度、および前記P型の薄膜トランジスタにおける前記

$$\begin{aligned} 1. & 2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2} \\ 2. & 4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2} \\ 3. & \leq C_{D,PLDD} / C_{D,NLDD} \leq 5 \end{aligned}$$

を満たす範囲にあることを特徴とする。この時 t は次式 $1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$ を満たす範囲にあることを特徴とする。

【0016】本発明は薄膜半導体装置が形成された基板を構成要素の一部とする電子機器に於いて、該薄膜半導体装置は上述の特徴を備えている事の特徴とする。

【0017】(本発明の第2形態) 本発明による液晶表示装置はアクティブマトリクス基板上に、駆動回路部でCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有する液晶表示装置において、前記駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、前記第1導電型の画素用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記第1導電型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して低いことを特徴とする。この時前記第1導電型はN型であり、前記第2導電型はP型であることを特徴とする。或いは前記第1導電型はP型であり、前記第2導電型はN型であることを特徴とする。

【0018】前記P型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記N型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする。この時前記P型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記N型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約6倍から約8倍までの範囲にあることを特徴とする。

【0019】前記N型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記P型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式

$$0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$$

を満たすことを特徴とする。

【0020】(本発明の第3形態) 本発明による液晶表示装置の製造方法はアクティブマトリクス基板上に、駆

低濃度ソース・ドレイン領域の不純物濃度をそれぞれ $C_{D,NLDD}$ と $C_{D,PLDD}$ にて表現した時に、 t 及び $C_{D,NLDD}$ と $C_{D,PLDD}$ は次式

動回路部でCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有する液晶表示装置において、前記駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域は、前記第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第1導電型の不純物と、該不純物のドーザ量よりも少なくして前記第2導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第2の導電型の不純物とが導入されていることにより、前記第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域よりも実質的に低濃度の第1導電型領域になっていることを特徴とする。この時前記第1導電型はN型であり、前記第2導電型はP型であることを特徴とする。或いは前記第1導電型はP型であり、前記第2導電型はN型であることを特徴とする。

【0021】前記第1導電型の駆動回路用薄膜トランジスタおよび前記第1導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第1導電型の不純物濃度を $N_i \text{ cm}^{-2}$ とし、前記第2導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域における第2導電型の不純物濃度を $N_{ii} \text{ cm}^{-2}$ としたときに、 N_i 、 N_{ii} は、下記の各式

$$0 < N_{ii} < N_i < 1.0 \times 10^{18}$$

を満たすことを特徴とする。更にこの時

$$(N_i - N_{ii}) \leq 3 \times 10^{18}$$

を満たすことを特徴とする。更に N_i 、 N_{ii} は、下記の各式

$$0 < N_{ii} \leq (4 \times 10^{18})$$

$$N_{ii} < N_i \leq (N_{ii} + 3 \times 10^{18})$$

を満たすことを特徴とする。更に N_i 、 N_{ii} は、下記の各式

$$0 < N_{ii} < N_i \leq (N_{ii} + 3 \times 10^{18})$$

$$N_i \leq (4 \times 10^{18})$$

を満たすことを特徴とする。更に N_i 、 N_{ii} は、下記の各式

$$0 < N_{ii} < N_i \leq (4 \times 10^{18})$$

$$(N_i - 3 \times 10^{18}) \leq N_{ii} \leq (3 \times 10^{18})$$

を満たすことを特徴とする。更に前記第1導電型の駆動回路用薄膜トランジスタのチャネル長 $L_{D,i}$ を x (μ

m)とした時に、 x と N_1 、 N_{11} は下記の各式
 $0 < N_{11} < N_1 \leq (x \times 10^{18})$
 を満たすことを特徴とする。

【0022】本発明は上述の液晶表示装置の製造方法において、前記第2導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第2導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも低濃度の第2導電型不純物を導入し、しかる後に、前記第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第1導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも前記低濃度第2導電型不純物導入工程における第2導電型不純物のドーズ量よりも大きなドーズ量で第1導電型の不純物を導入し、前記低濃度第2導電型不純物導入工程において第2導電型として形成された前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域を第1導電型に反転させることによって、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域を形成することを特徴とする。或いは前記第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第1導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも低濃度の第1導電型不純物を導入し、しかる後に、前記第2導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するための低濃度第2導電型不純物導入工程では、該ソース・ドレイン領域の形成予定領域に加えて前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも前記低濃度第1導電型不純物導入工程における第1導電型不純物のドーズ量よりも小さなドーズ量の第2導電型不純物を導入し、前記低濃度第1導電型不純物導入工程において形成された前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域における不純物濃度を実質的に低濃度化することによって、前記画素用薄膜トランジスタの低濃度ソース・ドレイン領域を形成することを特徴とする。

【0023】(本発明の第4形態)本発明による液晶表示装置はアクティブマトリクス基板上に、駆動回路部に形成されCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有する液晶表示装置において、前記第1導電型の画素用薄膜トランジスタ、前記第1導電型の駆動回路用薄膜トランジスタ、および前記第2導電型の駆動回路用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の

端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、前記第1導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記第1導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより長いことを特徴とする。この時前記第1導電型はN型であり、前記第2導電型はP型であることを特徴とする。或いは前記第1導電型はP型であり、前記第2導電型はN型であることを特徴とする。

【0024】前記P型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記N型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより短いことを特徴とする。前記N型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記P型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さに対して約1.5倍から約3倍までの範囲にあることを特徴とする。

【0025】前記N型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,NLDD}$ 、 $W_{D,NLDD}$ とし、前記P型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,PLDD}$ 、 $W_{D,PLDD}$ としたときに、 $L_{D,NLDD}$ 、 $W_{D,NLDD}$ 、 $L_{D,PLDD}$ 、 $W_{D,PLDD}$ は、以下の式
 $1.5 < (L_{D,NLDD} / W_{D,NLDD}) / (L_{D,PLDD} / W_{D,PLDD}) < 3.0$
 を満たすことを特徴とする。

【0026】これらの液晶表示装置に於いて、前記N型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記P型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式
 $0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$
 を満たすことを特徴とする。

【0027】(本発明の第5形態)本発明による液晶表示装置はアクティブマトリクス基板上に、駆動回路部に形成されCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有する液晶表示装置において、前記第1導電型の画素用薄膜トランジスタ、前記第1導電型の駆動回路用薄膜トランジスタ、および前記第2導電型の駆動回路用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、前記第1導電型の画素用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記第1導電型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域

域の長さより長く、前記第 1 導電型の画素用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記第 1 導電型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して低いことを特徴とする。この時前記第 1 導電型は N 型であり、前記第 2 導電型は P 型であることを特徴とする。或いは前記第 1 導電型は P 型であり、前記第 2 導電型は N 型であることを特徴とする。

【0028】前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより短いことを特徴とする。この時前記 N 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さは、前記 P 型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さに対して約 1.5 倍から約 3 倍までの範囲にあることを特徴とする。

【0029】前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする。この時前記 P 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、前記 N 型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に対して約 6 倍から約 8 倍までの範囲にあることを特徴とする。

【0030】前記 N 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,NLDD}$ 、 $W_{D,NLDD}$ とし、前記 P 型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,PLDD}$ 、 $W_{D,PLDD}$ としたときに、 $L_{D,NLDD}$ 、 $W_{D,NLDD}$ 、 $L_{D,PLDD}$ 、 $W_{D,PLDD}$ は、以下の式 $1.5 < (L_{D,NLDD}/W_{D,NLDD}) / (L_{D,PLDD}/W_{D,PLDD}) < 3.0$ を満たすことを特徴とする。

【0031】前記 N 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記 P 型の駆動回路用薄膜トランジスタのチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式 $0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$ を満たすことを特徴とする。

【0032】（本発明の第 6 形態）本発明は N 型および P 型の薄膜トランジスタにより CMOS 回路が構成された薄膜半導体装置において、前記 N 型の薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,NLDD}$ 、 $W_{D,NLDD}$ とし、前記 P 型の薄膜トランジ

スタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,PLDD}$ 、 $W_{D,PLDD}$ としたときに、 $L_{D,NLDD}$ 、 $W_{D,NLDD}$ 、 $L_{D,PLDD}$ 、 $W_{D,PLDD}$ は、以下の式

$$(L_{D,NLDD}/W_{D,NLDD}) \geq (L_{D,PLDD}/W_{D,PLDD})$$

を満たすことを特徴とする。或いは薄膜半導体装置が形成された基板を構成要素の一部とする電子機器に於いて、該薄膜半導体装置は前述に記載されて居る物で有る事を特徴とする。

【0033】本発明による液晶表示装置はアクティブマトリクス基板上に、駆動回路部で CMOS 回路を構成する第 1 導電型および第 2 導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第 1 導電型の画素用薄膜トランジスタとを有する液晶表示装置において、前記駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備える LDD 構造を有し、前記第 1 導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{P,ILDD}$ 、 $W_{P,ILDD}$ とし、前記第 1 導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ $L_{D,ILDD}$ 、 $W_{D,ILDD}$ としたときに、 $L_{P,ILDD}$ 、 $W_{P,ILDD}$ 、 $L_{D,ILDD}$ 、 $W_{D,ILDD}$ は、以下の式

$$(L_{P,ILDD}/W_{P,ILDD}) \geq (L_{D,ILDD}/W_{D,ILDD})$$

を満たすことを特徴とする。

【0034】本発明に依る電子機器は（本発明の第 2 の形態）から（本発明の第 6 の形態）に記載の液晶表示装置を備えた事を特徴とする。

【0035】

【発明の実施の形態】以下図面を参照して、本発明を詳細に説明する。

【0036】なお、以下に説明する（本発明の第 1 形態）は主として請求項 1 から請求項 12 に関する。

【0037】（本発明の第 2 形態）は主として請求項 13 から請求項 18 に関する。

【0038】（本発明の第 3 形態）は主として請求項 19 から請求項 29 に関する。

【0039】（本発明の第 4 形態）は主として請求項 30 から請求項 36 に関する。

【0040】（本発明の第 5 形態）は主として請求項 37 から請求項 45 に関する。

【0041】（本発明の第 6 形態）は主として請求項 46 から請求項 49 に関する。

【0042】但し本発明はこれら各発明の形態に記載される構成に限定されるものでなく、各発明の形態に記載の構成同士を適宜組み合わせてもよいことは勿論である。

【0043】なお以下に説明する発明の形態の多くは駆動回路内蔵型のアクティブマトリクス基板を用いた液晶表示装置に関する物で有る為、各発明の形態を詳述する

前にアクティブマトリクス基板の構成を簡単に説明しておく。

【 0 0 4 4 】 まず駆動回路内蔵型のアクティブマトリクス基板の基本構成を図 2 を用いて説明する。駆動回路内蔵型のアクティブマトリクス基板は表示画素領域 8 1 とデータドライバ部 8 2 や走査ドライバ部 8 3 などから成る内蔵駆動回路部とから基本的に構成される。表示画素領域 8 1 は信号線 9 0 や走査線 9 1 で区画形成された画素領域を有し、そこには画素用 T F T 9 2 を介して画像信号が入力される液晶セルの液晶容量 9 4 が存在する。データドライバ部 8 2 は信号線 9 0 を介して表示画素領域に接続し、例えばシフトレジスタ 8 4 やレベルシフタ 8 5、ビデオライン 8 7、アナログスイッチ 8 6 などから構成される。一方走査ドライバ部 8 3 は走査線 9 1 を介して表示画素領域に接続し、シフトレジスタ 8 8 やレベルシフタ 8 9 などから構成される。シフトレジスタ 8 4 や 8 8 と云った内蔵駆動回路の多くは図 2

(b) に示すインバータを基本構成要素としており、これらインバータは N 型の T F T $n 1$ と P 型 T F T $p 1$ とによって CMOS 構成が取られている。結局駆動回路内蔵型アクティブマトリクス基板上には少なくとも 3 つタイプの T F T が形成されるのが一般で有る。即ち画素 T F T 9 2 と駆動回路に用いられる N 型 T F T と矢張り駆動回路に用いられる P 型 T F T である。これらを図 1 に模式的に示す。なお図 1 では層間絶縁膜のコンタクトホールやそこを介してソース・ドレイン領域に電氣的に接続する電極などを省略してある。図 1 の左側に表されているのは画素用 T F T 1 0 で有り、ここでは例として N 型として有る。無論これは P 型で有っても構わないし、CMOS T F T で有っても良い。中央に表されているのは N 型の駆動回路用 T F T 2 0 であり、右側に表されているのが P 型の駆動回路用 T F T 3 0 である。これらの T F T のうち N 型の駆動回路用 T F T 2 0 と P 型の駆動回路用 T F T 3 0 は CMOS 構成を取り、前述の如く駆動回路のインバータなどを構成するので有る。

【 0 0 4 5 】 本発明のアクティブマトリクス基板 1 では、N 型の画素用 T F T 1 0 はソース・ドレイン領域 1 1、1 2 のうち、ゲート電極 1 5 に対してゲート絶縁膜 1 4 を介して対峙する部分に低濃度ソース・ドレイン領域 1 1 1、1 2 1 を備える L D D 構造を有している。従ってオフリーク電流が小さいため、表示むらやフリッカなどの発生を防止することができ、表示品質は可成り向上して居る。

【 0 0 4 6 】 更に N 型の駆動回路用 T F T 2 0 と P 型の駆動回路用 T F T 3 0 もソース・ドレイン領域 2 1、2 2、3 1、3 2 のうち、ゲート電極 2 5、3 5 に対してゲート絶縁膜 2 4、3 4 を介して対峙する部分に低濃度ソース・ドレイン領域 2 1 1、2 2 1、3 1 1、3 2 1 を備える L D D 構造を有している。

【 0 0 4 7 】 このような L D D 構造の T F T に関し、チ

ャネル幅 W が $10 \mu m$ の T F T におけるドレイン耐圧 (S/D 耐圧) のチャネル長依存性を図 3 に示す。図 3 (a) は実線 L 2 1 で L D D 構造の N 型の T F T におけるドレイン耐圧のチャネル長依存性を示し、実線 L 2 3 でセルフアライン構造の N 型の T F T におけるドレイン耐圧のチャネル長依存性を示している。又図 3 (b) は実線 L 2 2 で L D D 構造の P 型の T F T におけるドレイン耐圧のチャネル長依存性を示し、実線 L 2 4 でセルフアライン構造の P 型の T F T におけるドレイン耐圧のチャネル長依存性を示している。これらの図が明瞭に示す様に、L D D 構造の T F T はチャネル長をセルフアライン構造の T F T の約 $1/2$ まで短くしても十分なドレイン耐圧を有するので有る。例えば P 型の L D D T F T では $1.5 \mu m$ 程度迄、又 N 型の L D D T F T では $2.5 \mu m$ 程度まで短チャネル長化が可能である。従ってこれらの L D D T F T で構成された駆動回路は短チャネル化に依りゲート容量を大幅に低減させ、同時にオン電流をも増大し得る。斯くして駆動周波数が上がった、或いは電源電圧 (V_{dd}) を下げる事ができ、アクティブマトリクス基板の特性向上に大きく寄与するので有る。

【 0 0 4 8 】 (本発明の第 1 形態)

(第 1 形態に係る各 T F T の構成) ここでは単純に N 型の駆動回路用 T F T 2 0 と P 型の駆動回路用 T F T 3 0 を L D D 構造にただけでは良好な CMOS T F T は得られ無い事を説明した後、本発明の第 1 形態を詳述する。一般に P 型の駆動回路用 T F T 3 0 のオン電流は N 型の駆動回路用 T F T 2 0 のオン電流に比して数十パーセント程度小さい。これは正孔の移動度が電子の移動度の凡 $2/3$ 程度で有る事に起因している。この事情は当然 CMOS L D D T F T でも同様に成り立っている。即ち CMOS 回路を構成する N 型の駆動回路用 T F T 2 0 と P 型の駆動回路用 T F T 3 0 を L D D 構造にて同一素子サイズおよび同一製造条件にて形成すると、図 4 に示すが如く P 型の L D D T F T のオン電流 (図 4 に点線 L 2 で示す。) は N 型の L D D T F T のオン電流 (図 4 に実線 L 1 で示す。) に比較して小さく成って仕舞う。この様に P 型および N 型の T F T の間でオン電流のバランスが悪いと、オン時またはオフ時のタイミングがずれ、回路の動作速度を抑制したり、誤動作の原因となるので有る。これに対してオン電流のバランスを取るためにチャネル長などの素子サイズを変えると今度は P 型および N 型 T F T 間のゲート容量バランスが崩れ、矢張り回路の動作速度を抑制したり、或いは誤動作の原因となって仕舞い良好な CMOS T F T は得られないので有る。

【 0 0 4 9 】 そこで本発明は N 型の駆動回路用 T F T 2 0 と P 型の駆動回路用 T F T 3 0 の間でソース領域 2 1、3 1、やドレイン領域 2 2、3 2、およびチャネル形成領域 2 3、3 3 の長さや幅などを略同一寸法として

レイアウト上の対称性を確保し、その上で更にオン電流のバランスを向上させるので有る。これは P 型 LDD TFT の LDD 領域に於ける不純物濃度を N 型 LDD TFT のそれに比較して高くする事で達成されるので有る。具体的には N 型の駆動回路用 TFT 20 では低濃度ソース・ドレイン領域 211、221 の不純物濃度を約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約 $0.5 \times 10^{18} \text{ cm}^{-3}$ までの範囲に設定してあるのに対して、P 型の駆動回路用 TFT 30 では低濃度ソース・ドレイン領域 311、321 の不純物濃度を約 $1.5 \times 10^{18} \text{ cm}^{-3}$ から約 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲に設定してある。すなわち P 型の TFT 30 における低濃度ソース・ドレイン領域 311、321 の不純物濃度を N 型の駆動回路用 TFT 20 における低濃度ソース・ドレイン領域 211、221 の不純物濃度に対して約 6 倍から約 8 倍までの範囲に設定してある。

【0050】一方、N 型の画素用 TFT 10 は、N 型の駆動回路用 TFT 20 と同時に形成されるため、その低濃度ソース・ドレイン領域 111、121 の不純物濃度は、N 型の駆動回路用 TFT 20 と同じく、約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約 $0.5 \times 10^{18} \text{ cm}^{-3}$ までの範囲である。

【0051】なお、N 型の画素用 TFT 10、および N 型の駆動回路用 TFT 20 のソース領域 11、21、およびドレイン領域 12、22 のうち、低濃度ソース・ドレイン領域 111、121、211、221 を除く領域は、不純物濃度が約 $0.5 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域 112、122、212、222 である。また、P 型の駆動回路用 TFT 30 のソース領域 31 およびドレイン領域 32 のうち、低濃度ソース・ドレイン領域 311、321 を除く領域は、不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域 312、322 である。これらの高濃度領域に対して、各 TFT に対する信号線や画素電極などの電極（図示せず。）が、層間絶縁膜 4 のコンタクトホールを介して電気的に接続している。

【0052】（第 1 形態に係る各 TFT のオン・オフリーク電流特性）このように構成した各 TFT に関し、図 5 には実線 L3 で N 型の画素用トランジスタ 10、および N 型の駆動回路用 TFT 20 のオン・オフリーク電流特性を示し、点線 L4 で P 型の駆動回路用 TFT 30 のオン・オフリーク電流特性を示してある。図 5 からわかるように、P 型の駆動回路用 TFT 30 では、低濃度ソース・ドレイン領域 311、321 の不純物濃度が N 型の TFT（N 型の画素用トランジスタ 10 および駆動回路用 TFT 20）のそれに比較して高いので、正孔の移動度が電子の移動度に比して小さくても、P 型の駆動回路用 TFT 30 のオン電流特性は、N 型の駆動回路用 TFT 20 と同等のレベルまで改善されている。それ故、シフトレジスタにおける動作条件に十分なマージンを確

保できるので、オン電流のアンバランスに起因する誤動作が発生しない。しかも、P 型の TFT と N 型の TFT との間では、素子サイズがほぼ同じであるため、ゲート容量もほぼ同等である。また、N 型の駆動回路用 TFT 20、および N 型の駆動回路用 TFT 30 では、オフリーク電流が小さいので、オフリーク電流に起因する誤動作が発生しないとともに、CMOS 回路の電源端子間を貫通する電流が小さい。

【0053】また、N 型の画素用 TFT 10 でも、オフリーク電流が小さいので、表示むらやフリッカなどが発生しない。また、オフ電流が小さいと、保持特性が向上するので、コントラストが向上するなどの利点もある。

【0054】（実施例 1：第 1 形態に係る各 TFT の製造方法）このような LDD 構造の TFT は、以下の方法により製造できる。なお、以下の説明において、不純物濃度は、いずれも活性化アニール後の不純物濃度で表してある。

【0055】まず、図 6（a）に示すように、石英基板などの絶縁基板 2 の表面に、LPCVD 法またはプラズマ CVD 法などを用いて半導体膜 3（ポリシリコン薄膜）を形成する。また、アモルファスのシリコン薄膜を形成した後、レーザアニール法または固相成長法によりポリシリコン薄膜を形成する方法もある。

【0056】次に、図 6（b）に示すように、半導体膜 3 をフォトリソグラフィ法によってパタニングして、それを島状の半導体膜 11a、21a、31a にする。

【0057】次に、図 6（c）に示すように、島状の半導体膜 11a、21a、31a に対して、熱酸化法、TEOS-CVD 法、LPCVD 法、プラズマ CVD 法、HTO 法などにより、厚さが約 1200 オングストロームのシリコン酸化膜からなるゲート絶縁膜 14、24、34 を形成する（ゲート絶縁膜形成工程）。

【0058】次に、図 6（d）に示すように、ゲート絶縁膜 14、24、34 の表面に、ドーパドシリコンやシリサイド膜などからなるゲート電極 15、25、35 を形成する。

【0059】次に、図 7（a）に示すように、絶縁基板 2 の全面を覆うようにして、LPCVD 法、APCVD 法、プラズマ CVD 法、 O_2 TEOS 法、 O_3 TEOS 法などにより、厚さが 1000 オングストローム～3000 オングストロームのシリコン酸化膜からなる第 1 の層間絶縁膜 41 を形成する。その結果、ゲート電極 15、25、35 の端部では、ゲート電極 15、25、35 の厚さに相当する分だけ、第 1 の層間絶縁膜 41 が厚くなる。たとえば、ゲート電極 15、25、35 の厚さが約 500 オングストローム、ゲート絶縁膜 14、24、34 の厚さが約 1200 オングストローム、第 1 の層間絶縁膜 41 の厚さが約 2000 オングストロームであれば、第 1 の層間絶縁膜 41 のうち、ゲート電極端から 1 μm 程離れた位置では厚さが 3200 オングストローム

であり、ゲート電極15、25、35付近では、厚さが約8200オングストロームである。かかる厚さの差を利用して、以降の工程において、LDD構造のTFTを形成する。

【0060】まず、図7(b)に示すように、絶縁基板2の表面側のうち、画素用TFT10の形成予定領域と、N型の駆動回路用TFT20の形成予定領域をレジストマスク51で覆う。この状態で、アクセプタ型の不純物、たとえばボロンイオンを $2.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して、ゲート電極35に対して自己整合的にソース領域31、およびドレイン領域32を形成する(P型の不純物導入工程)。なお、不純物導入方法としては、その他にも、イオンドーピング法、プラズマドーピング法、レーザドーピング法などがある。

【0061】その結果、不純物が導入されなかった部分がチャネル形成領域33となる。但し、ソース領域31、およびドレイン領域32のうち、ゲート電極35の端部に対峙する部分では、そこを覆う第1の層間絶縁膜41が厚いため、その他の部分よりも、実際の不純物導入量が2桁ほど低い。従って、ソース領域31およびドレイン領域32では、ゲート電極35の端部に対峙する部分に不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-2}$ の低濃度ソース・ドレイン領域311、321が形成される。一方、そこを除く高濃度ソース・ドレイン領域312、322の不純物濃度は、約 $2.0 \times 10^{20} \text{ cm}^{-2}$ となる。このようにして、P型の駆動回路用TFT30が形成される。しかる後に、レジストマスク51を除去する。

【0062】次に、図7(c)に示すように、P型の駆動回路用TFT30の形成領域をレジストマスク52で覆う。この状態で、ドナー型の不純物、たとえばリンイオンを $0.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入して、ゲート電極15、25に対して自己整合的にソース領域11、21、およびドレイン領域12、22を形成する(N型の不純物導入工程)。

【0063】その結果、不純物が導入されなかった部分がチャネル形成領域13、23となる。但し、ソース領域11、21、およびドレイン領域12、22のうち、ゲート電極15、25の端部に対峙する部分では、そこを覆う第1の層間絶縁膜41が厚いため、その他の部分よりも、実際の不純物導入量が2桁ほど低い。従って、ソース領域11、21、およびドレイン領域12、22では、ゲート電極15、25の端部に対峙する部分に不純物濃度が約 $0.5 \times 10^{18} \text{ cm}^{-2}$ の低濃度ソース・ドレイン領域111、121、211、221が形成される。一方、そこを除く高濃度ソース・ドレイン領域112、122、212、222の不純物濃度は、約 $0.5 \times 10^{20} \text{ cm}^{-2}$ である。このようにして、画素用TFT10、およびN型の駆動回路用TFT20が形成される。しかる後に、レジストマスク52を除去する。

【0064】次に、図7(d)に示すように、第1の層

間絶縁膜41の表面に第2の層間絶縁膜42を形成した後に、活性化のためのアニールを行なうと、図1に示すアクティブマトリクス基板1が形成される。ここで、第1の層間絶縁膜41と第2の層間絶縁膜42との総膜厚は、約 $1.5 \mu\text{m}$ ～約 $2.0 \mu\text{m}$ である。なお、各TFTに対しては、第1および第2の層間絶縁膜41、42からなる層間絶縁膜4にコンタクトホールを形成した後、所定の電極(信号線および画素電極)を形成する。

【0065】このような方法で形成すれば、少ない工程数でLDD構造のTFTを形成できるので、オフリーク電流を簡単に低減することができる。しかも、不純物導入工程で、ソース領域11、21、31、およびドレイン領域12、22、32を形成する際のドーズ量を制御するだけで、オン電流のバランスを確保できる。

【0066】(実施例2:第1形態に係る各TFTの別の製造方法)また、図1に示す構造のTFTは、以下の方法でも製造できる。

【0067】なお、以下に説明する方法でも、前記の製造方法と図6(a)～(d)に示す工程が共通しているので、これらの工程の説明を省略し、図6(d)に示す工程の後に示す工程のみを説明する。

【0068】まず、図8(a)に示すように、ゲート電極15、25、35を形成した後、P型の駆動回路用TFT30の形成予定領域をレジストマスク53で覆った状態で、画素用TFT10およびN型の駆動回路用TFT20の形成予定領域に対して、ドナー型の不純物、たとえばリンイオンを約 $0.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入し、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.5 \times 10^{18} \text{ cm}^{-2}$ の低濃度のソース・ドレイン領域11b、12b、21b、22bを形成する。なお、不純物が導入されなかった部分がチャネル形成領域13、23となる。しかる後に、レジストマスク53を除去する。

【0069】次に、図8(b)に示すように、P型の駆動回路用TFT30の形成予定領域に加えて、画素用TFT10およびN型の駆動回路用TFT20のゲート電極15、25をも広めに覆うレジストマスク54を形成した後、ドナー型の不純物、たとえばリンイオンを $0.5 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。ここで、レジストマスク54の端部と、ゲート電極15、25の端部との距離は、 $0.5 \mu\text{m}$ ～ $2.0 \mu\text{m}$ 程度が適している。その結果、低濃度のソース・ドレイン領域11b、12b、21b、22bには、不純物濃度が $0.5 \times 10^{18} \text{ cm}^{-2}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度のソース・ドレイン領域11b、12b、21b、22bのうち、レジストマスク54で覆われていた部分は、そのまま不純物濃度が約 $0.5 \times 10^{18} \text{ cm}^{-2}$ の低濃度ソース・ドレイン領域111、121、211、221となる。このようにして、画素用TFT10およ

びN型の駆動回路用TFT20が形成される。しかる後に、レジストマスク54を除去する。

【0070】次に、図8(c)に示すように、画素用TFT10およびN型の駆動回路用TFT20をレジストマスク55で覆った状態で、P型の駆動回路用TFT30の形成予定領域に対して、アクセプター型の不純物、たとえばボロンイオンを約 $2.0 \times 10^{13} \text{ cm}^{-3}$ のドー
ズ量でイオン注入して、ゲート電極35に対して自己整合的に不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度の
ソース・ドレイン領域31b、32bを形成する。な
お、不純物が導入されなかった部分がチャンネル形成領域
33となる。しかる後に、レジストマスク55を除去す
る。

【0071】次に、図8(d)に示すように、画素用TFT10およびN型の駆動回路用TFT20に加えて、P型の駆動回路用TFT30のゲート電極35をも広めに覆うレジストマスク56を形成した後、アクセプター型の不純物、たとえばボロンイオンを $2.0 \times 10^{15} \text{ cm}^{-3}$ のドー
ズ量でイオン注入する。ここで、レジストマスク56の端部と、ゲート電極35の端部との距離は、
0.5 μm ~2.0 μm 程度が適している。その結果、
低濃度のソース・ドレイン領域31b、32bには、不
純物濃度が $2.0 \times 10^{10} \text{ cm}^{-3}$ の高濃度ソース・ドレ
イン領域312、322が形成される。一方、低濃度の
ソース・ドレイン領域31、32のうち、レジストマ
スク56で覆われていた部分は、そのまま不純物濃度が約
 $2.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域3
11、321となる。このようにして、P型の駆動回路
用TFT30を形成する。

【0072】かかる製造方法の他にも、ゲート電極1
5、25、35の側面に異方性エッチングでサイドウォ
ールを残し、このサイドウォールを用いてLDD構造の
TFTを製造する方法もある。

【0073】(第1形態に於けるLDD濃度) 前述の実
施例2ではTFTをアクティブマトリクス基板1の画素
用TFTおよび駆動回路用TFTとして用いたときに、
素子サイズを変えることなく、オン電流のバランスの悪
さに起因する誤動作の発生を確実に防止しながら、オフ
リーク電流に起因するフリッカの発生や無駄な電流の
消費を確実に防止するという観点から、P型の駆動回路
用TFT30の低濃度ソース・ドレイン領域311、3
21の不純物濃度を約 $2.0 \times 10^{18} \text{ cm}^{-3}$ に設定し、
画素用TFT10およびN型の駆動回路用TFT20の
低濃度ソース・ドレイン領域111、121、211、
221の不純物濃度を約 $0.5 \times 10^{18} \text{ cm}^{-3}$ に設定し
たが、P型のTFTの低濃度ソース・ドレイン領域の不
純物濃度が約 $1.5 \times 10^{18} \text{ cm}^{-3}$ から約 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲で、N型のTFTの低濃度ソース・
ドレイン領域の不純物濃度が約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約
 $0.5 \times 10^{18} \text{ cm}^{-3}$ までの範囲にあればよいこと

を、図9および図10を参照して説明する。

【0074】図9には、LDD構造のN型のTFTにお
ける低濃度ソース・ドレイン領域の不純物濃度とオン電
流との関係を実線L5で示し、LDD構造のP型のTFT
における低濃度ソース・ドレイン領域の不純物濃度と
オン電流との関係を実線L6で示してある。ここで、チ
ャネルは、W/Lが10/10(μm)であり、ドレイ
ンソース電圧は、5vであり、ゲート電圧は、10v
である。これらの検討結果から、駆動回路のTFTに一
般的に必要とされる $2 \times 10^{-5} \text{ A}$ 以上のオン電流を確
保するには、N型のTFTでは、低濃度ソース・ドレイ
ン領域の不純物濃度が約 $0.2 \times 10^{18} \text{ cm}^{-3}$ 以上であ
り、P型のTFTでは、低濃度ソース・ドレイン領域の
不純物濃度が約 $1.5 \times 10^{18} \text{ cm}^{-3}$ 以上である。

【0075】一方、図10には、LDD構造のN型のT
FTにおける低濃度ソース・ドレイン領域の不純物濃度
とオフリーク電流との関係を実線L7で示し、LDD構
造のP型のTFTにおける低濃度ソース・ドレイン領域
の不純物濃度とオン電流との関係を実線L8で示してあ
る。ここで、チャネルは、W/Lが10/10(μm)
であり、ドレインソース電圧は、5vであり、ゲート
電圧は、0vである。これらの検討結果から、一般的な
駆動回路においてオフリーク電流をその上限とされる
 $1 \times 10^{-13} \text{ A}$ 以下のレベルとなるのは、N型のTFTで
は、低濃度ソース・ドレイン領域の不純物濃度が約
 $1.3 \times 10^{19} \text{ cm}^{-3}$ 以下であり、P型のTFTでは、低濃
度ソース・ドレイン領域の不純物濃度が約 $3.0 \times 10^{18} \text{ cm}^{-3}$ 以下である。

【0076】従って、P型のTFTでは、低濃度ソース
・ドレイン領域の不純物濃度を約 $1.5 \times 10^{18} \text{ cm}^{-3}$
から約 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲とすれば、その
オン電流特性およびオフリーク特性は、駆動回路用と
して十分なレベルとなる。一方、N型のTFTでは、低濃
度ソース・ドレイン領域の不純物濃度を約 $1.5 \times 10^{18} \text{ cm}^{-3}$ から約
 $3.0 \times 10^{18} \text{ cm}^{-3}$ までの範囲としたP型のTFTと同じオン電流レベルとするには、低濃度
ソース・ドレイン領域の不純物濃度を約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約
 $1.3 \times 10^{18} \text{ cm}^{-3}$ までの範囲のうち、
約 $0.2 \times 10^{18} \text{ cm}^{-3}$ から約 $0.5 \times 10^{18} \text{ cm}^{-3}$ ま
での範囲とすればよい。このように設定した不純物濃度
範囲では、オン電流のバランスを向上できるだけでな
く、N型のTFTのオフリーク電流のレベルを約 $1 \times 10^{-14} \text{ A}$ 以下にできるので、画素用TFTとして用いた
ときには十分な保持特性を発揮するという利点がある。

【0077】さらに、図9に示す検討結果からすれば、
各種薄膜半導体装置におけるCMOS回路において、ゲ
ート容量などのバランスを崩すことなく、オン電流のバ
ランスを確保するという観点だけからすれば、P型のT
FTにおける低濃度ソース・ドレイン領域の不純物濃度
をN型のTFTにおける低濃度ソース・ドレイン領域の

不純物濃度に対して高くすればよく、より正確にオン電流のバランスを確保する観点からすれば、約 6 倍から約 8 倍までの範囲とすればよい。

【0078】なお本発明の CMOS TFT の応用例としては、液晶表示装置の他にも、密着型イメージセンサや SRAM (static Random Access Memories) など、薄膜半導体装置が形成された基板を構成要素の一部とする電子機器がある。

【0079】(低温プロセス LDD TFT に於ける発明形態) 次に低温プロセスで製造された薄膜トランジスタに関する第 1 の発明形態を説明する。ここで低温プロセスとは TFT を作成する際の工程最高温度が、レーザー照射とか急速熱処理 (RTA) と云った局所加熱を除いて 600℃ 程度以下である TFT の製造方法を示す。

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

$$1.2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2}$$

を満たすように設定する。同様に N 型の駆動回路用 TFT 20 における低濃度ソース・ドレイン領域 211、2

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

$$2.4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2}$$

を満たすように設定する。或いは t 、 $C_{D,NLDD}$ 、 $C_{D,PLDD}$ は、以下の各式

$$1 \times 10^{-6} \text{ cm} \leq t \leq 4.5 \times 10^{-6} \text{ cm}$$

$$3 \leq C_{D,PLDD} / C_{D,NLDD} \leq 5$$

を満たすように設定する。

【0081】たとえば、各 LDD TFT の半導体膜の

$$3.0 \times 10^{17} \text{ cm}^{-3} \leq C_{D,PLDD} \leq 4.5 \times 10^{18} \text{ cm}^{-3}$$

$$6.0 \times 10^{16} \text{ cm}^{-3} \leq C_{D,NLDD} \leq 1.5 \times 10^{18} \text{ cm}^{-3}$$

このように設定すれば、低温プロセスで形成したシリコン膜から TFT を形成した場合においても、N 型の駆動回路用 TFT 20 と P 型の駆動回路用 TFT 30 との間におけるオン電流のバランスを確保できるのである。こ

$$1.2 \times 10^{12} \text{ cm}^{-2} \leq C_{D,PLDD} \cdot t \leq 1.8 \times 10^{13} \text{ cm}^{-2}$$

$$2.4 \times 10^{11} \text{ cm}^{-2} \leq C_{D,NLDD} \cdot t \leq 6.0 \times 10^{12} \text{ cm}^{-2}$$

$$3 \leq C_{D,PLDD} / C_{D,NLDD} \leq 5$$

これら各条件は膜厚に係わり無く成り立つ事と成る。

【0083】(本発明に係わるレイアウト) 本願の総ての発明に係わるトランジスタのレイアウトに関して説明する。

【0084】各 LDD TFT のレイアウトについては、N 型の駆動回路用 TFT 20 と P 型の駆動回路用 TFT 30 との間におけるゲート容量のバランスを確保するという観点からは、以下のように構成すればよい。すなわち、図 11 に N 型の TFT、および P 型の TFT の平面形状を模倣式に表し、N 型の TFT (N 型の駆動回路用 TFT 20) のチャネル長およびチャネル幅をそれぞれ $L_{D,N}$ および $W_{D,N}$ とし、前記 P 型の駆動回路用 TFT のチャネル長およびチャネル幅をそれぞれ $L_{D,P}$ 、 $W_{D,P}$ としたときに、 $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ は、以下の式

低温プロセスでは 1000℃ 程度の熱酸化法を使用しない為、半導体膜はレーザー照射や RTA にて改質し、絶縁膜は CVD 法や PVD 法などで形成される。発明人がこうした低温プロセスにて製造された TFT について繰り返し実験を行った結果によれば、各 TFT の低濃度ソース・ドレイン領域の不純物濃度は、以下のように設定したときに、各 TFT の電気的特性を最適化できる。

【0080】まず、各 LDD TFT の低濃度ソース・ドレイン領域を構成しているシリコンなどの半導体膜の膜厚を t (cm) とし、P 型の駆動回路用 TFT 30 における低濃度ソース・ドレイン領域 311、321 の不純物濃度を $C_{D,PLDD}$ (cm^{-3}) としたときに、 t 、 $C_{D,PLDD}$ は、以下の各式

21 の不純物濃度を $C_{D,NLDD}$ (cm^{-3}) としたときに、 t 、 $C_{D,NLDD}$ は、以下の各式

膜厚を 40 nm とした場合には、N 型の駆動回路用 TFT 20 における低濃度ソース・ドレイン領域 211、221、および P 型の駆動回路用 TFT 30 における低濃度ソース・ドレイン領域 311、321 において、以下のように不純物濃度の範囲を設定する。

【0082】

$$3.0 \times 10^{17} \text{ cm}^{-3} \leq C_{D,PLDD} \leq 4.5 \times 10^{18} \text{ cm}^{-3}$$

$$6.0 \times 10^{16} \text{ cm}^{-3} \leq C_{D,NLDD} \leq 1.5 \times 10^{18} \text{ cm}^{-3}$$

これは低温プロセスでは工程最高温度が 600℃ 程度で有る為、LDD 領域に注入したドナーやアクセプターの活性化率が低い事に起因して居る。膜厚が 45 nm 程度以上有れば活性化は比較的楽に成る為、

$$L_{D,N} \cdot W_{D,N} = L_{D,P} \cdot W_{D,P}$$

を満たすのが理想で有る。こうすると TFT のゲート容量は等しくなり、その上でオン電流値を P 型 TFT と N 型 TFT で同等に成る様に本願発明に従って調整すればゲート容量もオン電流も同時にバランスを取る事が出来る訳で有る。また、理想的とは言えぬが $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ が以下の式

$$0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$$

を満たす範囲内であれば、ゲート容量のバランスを確保できる。たとえば、レイアウト面から、 $W_{D,N}$ と $W_{D,P}$ とを等しくする必要がある場合には、 $L_{D,N}$ と $L_{D,P}$ が以下の式

$$0.8 \leq L_{D,N} / L_{D,P} \leq 1.25$$

を満たすように設定する。

【0085】更に図11に示すように、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さおよび幅をそれぞれ L_{FINLDD} 、 W_{FINLDD} とし、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さおよび幅をそれぞれ L_{DFNLDD} 、 W_{DFNLDD} とし、P型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321の長さおよび幅をそれぞれ L_{DFPLDD} 、 W_{DFPLDD} としたときに、 L_{FINLDD} 、 W_{FINLDD} 、 L_{DFNLDD} 、 W_{DFNLDD} を、以下の式

$$(L_{FINLDD}/W_{FINLDD}) \geq (L_{DFNLDD}/W_{DFNLDD})$$

を満たすように設定してもよい。すなわち、N型の画素用TFT10における低濃度ソース・ドレイン領域111、121の抵抗値を高めに設定し、N型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の抵抗値を低めに設定してもよい。このように構成すれば、不純物濃度の面からCMOS回路における電気的特性を向上しながら、レイアウトの面から、画素用TFTのオフリーク電流を低減し、かつ、駆動回路用TFTにおけるオン電流の増大を図ることができる。

【0086】(本発明の第2形態)

(第2形態に係る各TFTの構成) 本発明の各LDDTFTの基本的な構成は第1形態と同様であるため、図1を参照して説明するとともに、対応する機能を有する部分については同じ符合を付してそれらの詳細な説明を省略する。

【0087】本発明でも図1に示すように、N型の画素用TFT10、N型の駆動回路TFT20、およびP型の駆動回路TFT30では、ソース領域11、21、31、およびドレイン領域12、22、32において、ゲート電極15、25、35の端部に対してゲート絶縁膜14、24、34を介して対峙する部分に低濃度ソース・ドレイン領域111、121、211、221、311、321が形成されており、いずれのTFTもLDD構造になっている。

【0088】本発明では図12に実線L11で示すように、N型の駆動回路用TFT20のオン電流を大きくするために、低濃度ソース・ドレイン領域211、221の不純物濃度を高濃度側にシフトさせたときに、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121でも、不純物濃度が高濃度側にシフトし、オフリーク電流が増大してしまうことを防止することを目的としている。逆にいえば、N型の画素用TFT10において、図12に一点鎖線L12で示すように、オフリーク電流を小さくしたとき、N型の駆動回路用TFT20において、オン電流が小さくなることを防止することを目的とする。

【0089】本発明の液晶表示装置はアクティブマトリクス基板上に、駆動回路部でCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜ト

ランジスタとを有し、駆動回路用薄膜トランジスタおよび前記画素用薄膜トランジスタは、ソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有し、第1導電型の画素用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度は、第1導電型の駆動回路用薄膜トランジスタにおける前記低濃度ソース・ドレイン領域の不純物濃度に比較して低く成っている。たとえば第1導電型をN型とすると、図1に示すN型の画素用TFT10における低濃度ソース・ドレイン領域111、121の不純物濃度はN型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の不純物濃度に比較して低く設定してある。すなわち、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121における不純物濃度は、約 $0.4 \times 10^{18} \text{ cm}^{-3}$ であるのに対し、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221における不純物濃度は、約 $0.7 \times 10^{18} \text{ cm}^{-3}$ である。無論第1導電型がP型で有っても同様で有る。

【0090】また、本発明ではP型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321における不純物濃度を、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221における不純物濃度に対して高く設定してある。たとえば、N型の駆動回路用TFT20では、低濃度ソース・ドレイン領域211、221の不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ に設定してあるのに対して、P型の駆動回路用TFT30では、低濃度ソース・ドレイン領域311、321の不純物濃度を約 $5.0 \times 10^{18} \text{ cm}^{-3}$ に設定してある。すなわち、P型の駆動回路用TFT30における低濃度ソース・ドレイン領域311、321の不純物濃度をN型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の不純物濃度に対して約6倍から約8倍までの範囲に設定してある。

【0091】なお、N型の画素用TFT10、N型の駆動回路用TFT20、およびP型の駆動回路用TFT30のソース領域11、21、31、およびドレイン領域12、22、32のうち、低濃度ソース・ドレイン領域111、121、211、221、311、321を除く領域は、不純物濃度が約 $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上の高濃度ソース・ドレイン領域112、122、212、222、312、322である。本発明に於いても先のレイアウトの特徴は無論適応される。

【0092】(第2形態に係る各TFTのオン・オフリーク電流特性) このように構成したTFTのオン・オフリーク電流特性では、図9に示すように駆動回路用TFTに於いては低濃度ソース・ドレイン領域の不純物濃度を高くした分だけ、オン電流を増大させることができる。また、図10に示すように画素用TFTでは低濃度

10

20

30

40

50

ソース・ドレイン領域の不純物濃度を低くした分だけ、オフリーク電流を低減することができるといえる。さらに、CMOS回路において、ゲート容量などのバランスを崩すことなく、オン電流のバランスを確保するという観点から、P型のTFTにおける低濃度ソース・ドレイン領域の不純物濃度をN型のTFTにおける低濃度ソース・ドレイン領域の不純物濃度に対して約6倍から約8倍までの範囲設定してある。それ故本発明のアクティブマトリクス基板1では、まず、いずれのTFTをもLDD構造としたことに加えて、N型の駆動回路用TFT20は低濃度ソース・ドレイン領域211、221の不純物濃度が約 $0.7 \times 10^{18} \text{ cm}^{-3}$ まで高濃度側に設定されているので、図12に実線L11で示すようにオン電流が大きく、その一方N型の画素用TFT10は低濃度ソース領域111および低濃度ドレイン領域121の不純物濃度が約 $0.4 \times 10^{18} \text{ cm}^{-3}$ まで低濃度側に設定されているので、図12に一点鎖線L12で示すようにオフリーク電流が小さい。しかも、P型の駆動回路用TFT30は、低濃度ソース領域311および低濃度ドレイン領域321における不純物濃度が約 $5.0 \times 10^{18} \text{ cm}^{-3}$ までN型の駆動回路用TFT20の低濃度ソース領域211および低濃度ドレイン領域221における不純物濃度よりも高濃度側に設定してあるので、図12に点線L13で示すようにオン電流がN型の駆動回路用TFT20のオン電流と同等のレベルまで改善されている。それ故、シフトレジスタの動作条件に十分なマージンを確保でき、オン電流のアンバランスに起因する誤動作が発生しない。しかもP型のTFTとN型のTFTとの間では素子サイズを略同等としてあるため、ゲート容量も略同等である。

【0093】(実施例3：第2形態に係るLDD TFTの製造方法)このような構造のTFTは、たとえば、以下の方法により製造できる。なお、以下の説明において、不純物濃度は、いずれも活性化アニール後の不純物濃度で表してある。但し、半導体膜を形成してからゲート電極および層間絶縁膜を形成するまでの工程は、実施例1において、図4(a)～図5(b)を参照して説明した工程と同様である。また、それ以降の工程も、基本的には同じである。従って、図13(a)に示すように、層間絶縁膜41を形成した以降の工程についてののみ説明するとともに、それ以降の工程についても、詳細な説明を省略する。なお、本例でも、層間絶縁膜41は、ゲート電極15、25、35の端部では、ゲート電極15、25、35の厚さに相当する分だけ厚く、かかる厚さの差を利用して、以降の工程において、LDD構造のTFTを形成する。

【0094】まず、図13(b)に示すように、絶縁基板2の表面側のうち、画素用TFT10の形成予定領域と、N型の駆動回路用TFT20の形成予定領域をレジストマスク51Aで覆う。この状態で、アクセプタ型の

不純物、たとえばボロンイオンを $5.0 \times 10^{15} \text{ cm}^{-3}$ のドーズ量でイオン注入して、ゲート電極35に対して自己整合的にソース領域31、およびドレイン領域32を形成する(P型の不純物導入工程)。

【0095】その結果、不純物が導入されなかった部分がチャンネル形成領域33となる。但し、ソース領域31およびドレイン領域32のうち、ゲート電極35の端部に対峙する部分では、そこを覆う層間絶縁膜41が厚いため、その他の部分よりも、実際の不純物導入量が2桁ほど低い。従って、ソース領域31およびドレイン領域32では、ゲート電極35の端部に対峙する部分に不純物濃度が約 $5.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321が形成される一方、そこを除く部分は、不純物濃度が約 $5.0 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322となる。このようにして、P型の駆動回路用TFT30が形成される。しかる後に、レジストマスク51Aを除去する。

【0096】次に、図13(c)に示すように、N型の画素用TFT10の形成領域およびP型の駆動回路用TFT30の形成領域をレジストマスク52Aで覆う。この状態で、ドナー型の不純物、たとえばリンイオンを $0.7 \times 10^{15} \text{ cm}^{-3}$ のドーズ量でイオン注入して、ゲート電極25に対して自己整合的にソース領域21およびドレイン領域22を形成する(N型の不純物導入工程)。

【0097】その結果、不純物が導入されなかった部分がチャンネル形成領域23となる。但し、ソース領域21およびドレイン領域22のうち、ゲート電極25の端部に対峙する部分では、そこを覆う層間絶縁膜41が厚いため、その他の部分よりも、実際の不純物導入量が2桁ほど低い。従って、ソース領域21およびドレイン領域22では、ゲート電極25の端部に対峙する部分に不純物濃度が約 $0.7 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221が形成される一方、そこを除く部分は、不純物濃度が約 $0.7 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域212、222となる。このようにして、N型の駆動回路用TFT20が形成される。しかる後に、レジストマスク52Aを除去する。

【0098】次に、図13(d)に示すように、N型の駆動回路用TFT20の形成領域およびP型の駆動回路用TFT30の形成領域をレジストマスク53Aで覆う。この状態で、ドナー型の不純物、たとえばリンイオンを $0.4 \times 10^{15} \text{ cm}^{-3}$ のドーズ量でイオン注入して、ゲート電極15に対して自己整合的にソース領域11およびドレイン領域12を形成する(N型の不純物導入工程)。

【0099】その結果、不純物が導入されなかった部分がチャンネル形成領域13となる。但し、ソース領域11およびドレイン領域12のうち、ゲート電極15の端部に対峙する部分では、そこを覆う層間絶縁膜41が厚い

ため、その他の部分よりも、実際の不純物導入量が2桁ほど低い。従って、ソース領域11およびドレイン領域12では、ゲート電極15の端部に対峙する部分に不純物濃度が約 $0.4 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121が形成される一方、そこを除く部分は、不純物濃度が約 $0.4 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122となる。このようにして、N型の画素用TFT10が形成される。

【0100】このような方法で形成すれば、最小限の工程数で、かつ、各不純物導入工程におけるドーズ量を制御するだけで、各TFTのオン電流・オフ電流特性を最適化できる。なお、上記の製造方法における工程順序は、図13(b)、(c)、(d)で示す工程の間で入れ換えてもよい。

【0101】(実施例4：第2形態に係るLDD TFTの別の製造方法) また、本例のTFTは、以下の方法でも製造できる。

【0102】なお、以下に説明する方法では、半導体膜を形成してからゲート電極形成するまでの工程は、実施例1において、図4(a)～図4(d)を参照して説明した工程と同様である。従って、図14(a)に示すように、ゲート電極15、25、35を形成した以降の工程について説明する。

【0103】まず、図14(a)に示すように、ゲート電極15、25、35を形成した以降、P型の駆動回路用TFT30の形成予定領域をレジストマスク54Aで覆った状態で、画素用TFT10およびN型の駆動回路用TFT20の形成予定領域に対して、ドナー型の不純物、たとえば、リンイオンを約 $0.4 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、ゲート電極15、25に対して自己整合的に不純物濃度が約 $0.4 \times 10^{18} \text{ cm}^{-3}$ の低濃度のソース・ドレイン領域11b、12b、21b、22bを形成する。なお、不純物が導入されなかった部分がチャネル形成領域13、23となる。しかる後に、レジストマスク54Aを除去する。

【0104】次に、図14(b)に示すように、N型の画素用TFT10およびP型の駆動回路用TFT30の形成予定領域をレジストマスク55Aで覆った状態で、N型の駆動回路用TFT20の形成予定領域に対して、ドナー型の不純物、たとえば、リンイオンを約 $0.3 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入し、N型の駆動回路用TFT20の低濃度のソース・ドレイン領域21b、22bの不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ まで高める。しかる後に、レジストマスク55Aを除去する。

【0105】次に、図14(c)に示すように、P型の駆動回路用TFT30の形成予定領域に加えて、N型の画素用TFT10およびN型の駆動回路用TFT20のゲート電極15、25をも広めに覆うレジストマスク56Aを形成した後、ドナー型の不純物、たとえばリンイ

オンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。ここで、レジストマスク54Aの端部と、ゲート電極15、25の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適している。その結果、低濃度のソース・ドレイン領域11b、12b、21b、22bには、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度のソース・ドレイン領域11b、12b、21b、22bのうち、レジストマスク56Aで覆われていた部分は、そのまま不純物濃度が約 $0.4 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121と、不純物濃度が約 $0.7 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221となる。このようにして、画素用TFT10およびN型の駆動回路用TFT20が形成される。しかる後に、レジストマスク56Aを除去する。

【0106】次に、図14(d)に示すように、N型の画素用TFT10およびN型の駆動回路用TFT20をレジストマスク57Aで覆った状態で、P型の駆動回路用TFT30の形成予定領域に対して、アクセプター型の不純物、たとえばボロンイオンを約 $5.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入して、ゲート電極35に対して自己整合的に不純物濃度が約 $5.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度のソース・ドレイン領域31b、32bを形成する。不純物が導入されなかった部分がチャネル形成領域33となる。しかる後に、レジストマスク57Aを除去する。

【0107】次に、図14(e)に示すように、画素用TFT10およびN型の駆動回路用TFT20に加えて、P型の駆動回路用TFT30のゲート電極35をも広めに覆うレジストマスク58Aを形成した後、アクセプター型の不純物、たとえばボロンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する。ここで、レジストマスク58Aの端部と、ゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適している。その結果、低濃度のソース・ドレイン領域31b、32bには、不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度のソース・ドレイン領域31b、32bのうち、レジストマスク58Aで覆われていた部分は、そのまま不純物濃度が約 $5.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。このようにして、P型の駆動回路用TFT30を形成する。

【0108】かかる製造方法の他にも、ゲート電極15、25、35の側面に異方性エッチングでサイドウォールを残し、このサイドウォールを用いてLDD構造のTFTを製造する方法もある。

【0109】(第2形態に係わる不純物濃度) なお、本発明のアクティブマトリクス基板では、N型の画素用TFTの低濃度ソース・ドレイン領域の不純物濃度を約

$0.4 \times 10^{18} \text{ cm}^{-3}$ とし、N型の駆動回路用TFTの低濃度ソース・ドレイン領域の不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ としたが、かかる不純物濃度に限定されることなく、N型の画素用TFTの低濃度ソース・ドレイン領域における不純物濃度をN型の駆動回路用TFTの低濃度ソース・ドレイン領域における不純物濃度に比較して低く設定さえすれば、画素領域におけるTFTのオフリーク電流の低減と、駆動回路部におけるTFTのオン電流の増大とを併せて実現できる。

【0110】またここではN型の駆動回路用TFTの低濃度ソース・ドレイン領域の不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ とし、P型の駆動回路用TFTの低濃度ソース・ドレイン領域の不純物濃度を約 $5.0 \times 10^{18} \text{ cm}^{-3}$ としたが、かかる不純物濃度に限定されることなく、P型の駆動回路用TFTの低濃度ソース・ドレイン領域における不純物濃度をN型の駆動回路用TFTの低濃度ソース・ドレイン領域における不純物濃度に比較して高く設定さえすれば、駆動回路におけるオン電流のバランスを向上できる。特に、P型の駆動回路用TFTの低濃度ソース・ドレイン領域における不純物濃度をN型の駆動回路用TFTの低濃度ソース・ドレイン領域における不純物濃度に対して約6倍から約8倍までの範囲に設定すれば、それらのオン電流を略同等にすることができ

る。

【0111】なお、本例では第1導電型をN型とし第2導電型をP型としたが、逆にしてもよく、画素用TFTをP型で構成してもよい。

【0112】（本発明の第3形態）本発明の各LDDTFTの基本的な構成は第1、2形態と同様であるため、図1を参照して説明するとともに、対応する機能を有する部分については同じ符合を付してそれらの詳細な説明を省略する。

【0113】本発明の液晶表示装置では第1導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域は第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第1導電型の不純物と、この不純物のドーズ量よりも少なくして第2導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域と同等量の第2の導電型の不純物とが導入されている。これにより第1導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域の第1導電型不純物濃度は駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域よりも実質的に低くなっている。例えば第1導電型をN型とすると、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の不純物濃度は、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、222における不純物濃度に比較して実質的に低く設定してある。すなわち、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221における不純物濃度は、約 $3.0 \times 10^{18} \text{ cm}^{-3}$ であり、P型の

駆動回路用TFT30の低濃度ソース・ドレイン領域311、321における不純物濃度は、約 $2.0 \times 10^{18} \text{ cm}^{-3}$ であるが、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121には、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221と同等量のN型の不純物（不純物濃度が約 $3.0 \times 10^{18} \text{ cm}^{-3}$ のリンイオン）と、P型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321と同等量のP型の不純物（不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ のボロンイオン）とが導入されている。それ故、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121は、実質的には不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度N型領域である。かかる低濃度ソース・ドレイン領域111、121は不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ のリンイオンのみが打ち込まれた低濃度N型領域と電気的特性において略等価である。

【0114】（実施例5：第3形態に係る各LDDTFTの製造方法）このような構造のアクティブマトリクス基板1は、たとえば、以下の方法により製造できる。なお、以下の説明において、不純物濃度は、いずれも活性化アニール後の不純物濃度で表してある。

【0115】まず、図15(a)に示すように、石英基板などの絶縁基板2の表面に、LPCVD法またはプラズマCVD法などを用いて半導体膜を形成した後、半導体膜をフォトリソグラフィ法によってパタニングし、それを島状の半導体膜10a、20a、30aにする。なお、半導体膜は、アモルファス半導体膜を形成した後、レーザアニール法または固相成長法により半導体膜を形成する場合もある。次に、島状の半導体膜10a、20a、30aに対して、熱酸化法、TEOS-CVD法、LPCVD法、プラズマCVD法、HTO法などにより、厚さが約1200オングストロームのシリコン酸化膜からなるゲート絶縁膜14、24、34を形成する。

【0116】次に、図15(b)に示すように、ゲート絶縁膜14、24、34の表面に、ドーパドシリコンやシリサイド膜などからなるゲート電極15、25、35を形成する。

【0117】次に、N型の駆動回路用TFT20の形成予定領域をレジストマスク71で覆う一方、N型の画素用TFT10の形成予定領域については開放状態とする。この状態で、P型の駆動回路用TFT30の形成予定領域に対して、アクセプター型の不純物、たとえばボロンイオンを約 $2.0 \times 10^{18} \text{ cm}^{-3}$ のドーズ量でイオン注入し、ゲート電極35に対して自己整合的に不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度のソース・ドレイン領域31a、32aを形成する（1回目の不純物導入工程／低濃度第2導電型不純物導入工程）。なお、不純物が導入されなかった部分がチャネル形成予定領域33となる。このとき、N型の画素用TFT10は、開放状態にあるため、N型の画素用TFT10の形成予定領域

においても、ゲート電極15に対して自己整合的にボロニオンが約 $2.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入される。その結果、低濃度（不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ ）のP型のソース・ドレイン領域11b、12bが形成される。なお、不純物が導入されなかった部分がチャンネル形成予定領域13となる。しかる後に、レジストマスク71を除去する。

【0118】次に、図15(c)に示すように、P型の駆動回路用TFT30の形成予定領域をレジストマスク72で覆った状態で、N型の画素用TFT10およびN型の駆動回路用TFT20の形成予定領域に対して、ドナー型の不純物、たとえば、リンイオンを約 $3.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する（2回目の不純物導入工程／低濃度第1導電型不純物導入工程）。その結果、N型の駆動回路用TFT20の形成予定領域では、低濃度のソース・ドレイン領域21a、22aが形成される。このとき、N型の画素用TFT10の形成予定領域には、先の低濃度第2導電型不純物導入工程において、低濃度（不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ ）のP型のソース・ドレイン領域11b、12bが形成されていたが、今回の不純物の導入によって、ソース・ドレイン領域11b、12bは、導電型がP型からN型に反転し、実質的には、低濃度N型のソース・ドレイン領域11a、12aとなる。ここで、低濃度のソース・ドレイン領域11a、12aのリンイオンの実質的な濃度は、先のP型の不純物導入量と、今回のN型の不純物導入量との差に相当するN型の不純物濃度、すなわち、約 $1.0 \times 10^{18} \text{ cm}^{-3}$ とみなすことができる。しかる後に、レジストマスク72を除去する。

【0119】次に、図15(d)に示すように、N型の画素用TFT10およびN型の駆動回路用TFT20に加えて、P型の駆動回路用TFT30のゲート電極35をも広めに覆うレジストマスク73を形成した後、アクセプター型の不純物、たとえばボロニオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（3回目の不純物導入工程／高濃度第2導電型不純物導入工程）。ここで、レジストマスク73の端部と、ゲート電極35の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適している。その結果、低濃度のソース・ドレイン領域31a、32aには、不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度のソース・ドレイン領域31a、32aのうち、レジストマスク73で覆われていた部分は、そのまま不純物濃度が約 $2.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域311、321となる。このようにして、P型の駆動回路用TFT30を形成する。しかる後に、レジストマスク73を除去する。

【0120】次に、図15(e)に示すように、P型の駆動回路用TFT30の形成領域に加えて、N型の画素用TFT10およびN型の駆動回路用TFT20のゲ

ト電極15、25をも広めに覆うレジストマスク74を形成した後、ドナー型の不純物、たとえばリンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する（4回目の不純物導入工程／高濃度第1導電型不純物導入工程）。ここで、レジストマスク74の端部と、ゲート電極15、25の端部との距離は、 $0.5 \mu\text{m} \sim 2.0 \mu\text{m}$ 程度が適している。その結果、低濃度のソース・ドレイン領域11a、12a、21a、22aには、不純物濃度が $1.0 \times 10^{20} \text{ cm}^{-3}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃度のソース・ドレイン領域11a、12aのうち、レジストマスク74で覆われていた部分は、そのまま不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域111、121となる。また、低濃度のソース・ドレイン領域21a、22aのうち、レジストマスク74で覆われていた部分は、そのまま不純物濃度が約 $3.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域211、221となる。このようにして、N型の画素用TFT10およびN型の駆動回路用TFT20が形成される。

【0121】このように本例のアクティブマトリクス基板1の製造方法では、P型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321を形成するための低濃度第2導電型不純物導入工程、およびN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221を形成するための低濃度第1導電型不純物導入工程において、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の形成予定領域にアクセプター型およびドナー型の不純物をそれぞれ導入し、それらの不純物濃度の差によって、画素用TFT10の低濃度ソース・ドレイン領域111、121を形成する。すなわち、N型およびP型の駆動回路用TFT20、30の製造工程を援用しながら、N型の駆動回路用TFT20とは異なる電気的特性をもつN型の画素用TFT10を形成できる。従って、レジストマスク71～74を形成するための4回のマスク形成工程と、4回の不純物導入工程とによって、5種類（ n' 、 p' 、画素用 n^- 、回路用 n^- 、 p^- ）の異なったソース・ドレイン領域が形成されるので有る。斯くして製造工程を増やすことなく、TFTの電気的特性を画素領域および駆動回路部毎に最適化することが可能と成り、表示むらなどが発生しにくく、かつ、駆動回路部の動作速度が高いアクティブマトリクス基板を安価に製造することができる。

【0122】（実施例6：第3形態に係る各LDD TFTの別の製造方法）本発明の第3形態に係わる液晶表示装置用アクティブマトリクス基板1は以下に説明する方法でも製造できる。即ち、第1導電型の駆動回路用薄膜トランジスタ（Dr1 TFT）の低濃度ソース・ドレイン領域を形成するための低濃度第1導電型不純物導入工程では、Dr1 TFTのソース・ドレイン領域の

形成予定領域に加えて画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも低濃度の第1導電型不純物を導入する。しかる後に第2導電型の駆動回路用薄膜トランジスタ(Dr2 TFT)の低濃度ソース・ドレイン領域を形成するための低濃度第2導電型不純物導入工程では、Dr2 TFTのソース・ドレイン領域の形成予定領域に加えて画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域にも先の低濃度第1導電型不純物導入工程における第1導電型不純物のドーズ量よりも小さなドーズ量の第2導電型不純物を導入する。こうして先に低濃度第1導電型不純物導入工程において形成された画素用薄膜トランジスタの低濃度ソース・ドレイン領域の形成予定領域における不純物濃度を実質的に低濃度化することによって、画素用薄膜トランジスタの低濃度ソース・ドレイン領域を形成するのである。具体的には以下の様に製造する。

【0123】まず、図16(a)に示すように、石英基板などの絶縁基板2の表面に、LPCVD法またはプラズマCVD法などを用いて半導体膜を形成した後、半導体膜をフォトリソグラフィ法によってパタニングして、それを島状の半導体膜10a、20a、30aにする。なお、半導体膜は、アモルファス半導体膜を形成した後、レーザアニール法または固相成長法により半導体膜を形成する場合もある。次に、島状の半導体膜10a、20a、30aに対して、熱酸化法、TEOS-CVD法、LPCVD法、プラズマCVD法、HTO法などにより、厚さが約1200オングストローム程度のシリコン酸化膜からなるゲート絶縁膜14、24、34を形成する。ここで必要に応じてトランジスタの閾値電圧を調整する為のイオン注入(チャンネルドープ工程)を行っても良い。チャンネルドープの一例としては $1 \times 10^{12} \text{ cm}^{-2}$ 程度のドーズ量のボロンイオン打ち込みなどが可能である。

【0124】次に、図16(b)に示すように、ゲート絶縁膜14、24、34の表面に、ドープドシリコンやシリサイド膜などからなるゲート電極15、25、35を形成する。次に、P型の駆動回路用TFT30の形成予定領域をレジストマスク81で覆った状態で、N型の画素用TFT10およびN型の駆動回路用TFT20の形成予定領域に対して、ドナー型の不純物、たとえば、リンイオンを約 $3.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入する(1回目の不純物導入工程/低濃度第1導電型不純物導入工程)。その結果、N型の駆動回路用TFT20の形成予定領域では、不純物濃度が約 $3.0 \times 10^{13} \text{ cm}^{-2}$ の低濃度のソース・ドレイン領域21a、22aが形成される。なお、不純物が導入されなかった部分がチャネル形成予定領域23となる。この時点に於いてはN型の画素用TFT10の形成予定領域も低濃度(不純物濃度が約 $3.0 \times 10^{13} \text{ cm}^{-2}$)のソース・ドレイン領域11a、12aが形成されている。しかる後

に、レジストマスク81を除去する。

【0125】次に、図16(c)に示すように、N型の駆動回路用TFT20の形成予定領域をレジストマスク82で覆う一方、N型の画素用TFT10の形成予定領域については開放状態とする。この状態で、P型の駆動回路用TFT30の形成予定領域に対して、アクセプター型の不純物、たとえばボロンイオンを約 $2.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入して、ゲート電極35に対して自己整合的に不純物濃度が約 $2.0 \times 10^{13} \text{ cm}^{-2}$ の低濃度のソース・ドレイン領域31a、32aを形成する(2回目の不純物導入工程/低濃度第2導電型不純物導入工程)。ここでN型の画素用TFT10は開放状態にあるため、そこにもボロンイオンが約 $2.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量でイオン注入される。その結果、不純物濃度が当初約 $3.0 \times 10^{13} \text{ cm}^{-2}$ であったN型のソース・ドレイン領域11a、12aは今回の不純物の導入によって不純物濃度が実質的に低下する。すなわち、ソース・ドレイン領域11a、12aは、先のN型の不純物導入量と今回のP型の不純物導入量との差に相当するドナー型の不純物濃度(約 $1.0 \times 10^{13} \text{ cm}^{-2}$ のリンイオン)のみが導入された低濃度N型領域と電気的特性が略等価な領域となる。しかる後に、レジストマスク82を除去する。

【0126】次に、図16(d)に示すように、N型の画素用TFT10およびN型の駆動回路用TFT20の形成予定領域に加えて、P型の駆動回路用TFT30のゲート電極35をも広めに覆うレジストマスク83を形成した後、アクセプター型の不純物、たとえばボロンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(3回目の不純物導入工程/高濃度第2導電型不純物導入工程)。その結果、低濃度のソース・ドレイン領域31a、32aには、不純物濃度が $1.0 \times 10^{13} \text{ cm}^{-2}$ の高濃度ソース・ドレイン領域312、322が形成される。一方、低濃度のソース・ドレイン領域31a、32aのうち、レジストマスク83で覆われていた部分は、そのまま不純物濃度が約 $2.0 \times 10^{13} \text{ cm}^{-2}$ の低濃度ソース・ドレイン領域311、321となる。このようにして、P型の駆動回路用TFT30を形成する。しかる後に、レジストマスク83を除去する。

【0127】次に、図16(e)に示すように、P型の駆動回路用TFT30の形成予定領域に加えて、N型の画素用TFT10およびN型の駆動回路用TFT20のゲート電極15、25をも広めに覆うレジストマスク84を形成した後、ドナー型の不純物、たとえばリンイオンを $1.0 \times 10^{15} \text{ cm}^{-2}$ のドーズ量でイオン注入する(4回目の不純物導入工程/高濃度第1導電型不純物導入工程)。その結果、低濃度のソース・ドレイン領域11a、12a、21a、22aには、不純物濃度が $1.0 \times 10^{13} \text{ cm}^{-2}$ の高濃度ソース・ドレイン領域112、122、212、222が形成される。一方、低濃

度のソース・ドレイン領域 1 1 a、1 2 a のうち、レジストマスク 8 4 で覆われていた部分は、そのまま不純物濃度が約 $1.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域 1 1 1、1 2 1 となる。また、低濃度のソース・ドレイン領域 2 1 a、2 2 a のうち、レジストマスク 8 4 で覆われていた部分は、そのまま不純物濃度が約 $3.0 \times 10^{18} \text{ cm}^{-3}$ の低濃度ソース・ドレイン領域 2 1 1、2 2 1 となる。このようにして、N型の画素用 TFT 1 0 および N型の駆動回路用 TFT 2 0 が形成される。

【0 1 2 8】このような製造方法も N型の駆動回路用 TFT 2 0 の低濃度ソース・ドレイン領域 2 1 1、2 2 1 を形成するための低濃度第 1 導電型不純物導入工程と P型の駆動回路用 TFT 3 0 の低濃度ソース・ドレイン領域 3 1 1、3 2 1 を形成するための低濃度第 2 導電型不純物導入工程で打ち込んだ各不純物濃度の差を利用して画素用 TFT 1 0 の低濃度ソース・ドレイン領域 1 1 1、1 2 1 を形成出来る。すなわち、N型および P型の駆動回路用 TFT 2 0、3 0 の製造工程を援用しながら、N型の駆動回路用 TFT 2 0 とは異なる電気的特性をもつ N型の画素用 TFT 1 0 が形成されるので有る。従ってレジストマスク 8 1 ~ 8 4 を形成するための 4 回のマスク形成工程と 4 回の不純物導入工程とによって、先と同様 5 種類のソース・ドレインがアクティブマトリクス基板 1 上に製造される。それ故、製造工程を増やすことなく、TFT の電気的特性を画素領域および駆動回路部毎に最適化することが可能と成り、表示むらなどが発生しにくく、かつ、駆動回路部の動作速度が高いアクティブマトリクス基板を用いた液晶表示装置を安価に製造することができるので有る。

【0 1 2 9】（第 3 形態に係る各 LDD TFT のその

他の製造方法）なお、不純物の導入方法については、イオン注入法に他に、イオンドーピング法、プラズマドーピング法、レーザドーピング法などを用いてもよい。

【0 1 3 0】また、低濃度ソース・ドレイン領域を形成するにあたっては、マスクを用いる方法の他にも、ゲート電極 1 5、2 5、3 5 の側面に異方性エッチングでサイドウォールを残し、このサイドウォールを用いて低濃度ソース・ドレイン領域を形成してもよい。また、マスク材質についてもレジストマスクに限定されない。

10 【0 1 3 1】さらに、N型の画素用 TFT 1 0 における低濃度ソース・ドレイン領域 1 1 1、1 2 1 の形成予定領域に第 1 導電型および第 2 導電型の不純物を導入し、それらの不純物濃度の差によって、画素用 TFT 1 0 の低濃度ソース・ドレイン領域 1 1 1、1 2 1 を N型の駆動回路用 TFT 2 0 の低濃度ソース・ドレイン領域 2 1 1、2 2 1 に比して実質的に低濃度に形成するのであれば、高濃度ソース・ドレイン領域を形成する工程などの順序などについては、限定がない。

20 【0 1 3 2】たとえば、表 1 ~ 表 3 において、チャネルドープ工程を C/D、ゲート電極形成工程を G、低濃度 N型の不純物導入工程を N⁻、高濃度 N型の不純物導入工程を N⁺、低濃度 P型の不純物導入工程を P⁻、高濃度 P型の不純物導入工程を P⁺ で表すように、チャネルドープ工程についてはゲート電極形成工程の前に行い、低濃度 N型の不純物導入工程および低濃度 P型の不純物導入工程をゲート電極形成工程の後に行うのであれば、いずれの工程順序であってもよい。また、チャネルドープ工程については省略してもよい。

【0 1 3 3】

30 【表 1】

工程順序 例	1	2	3	4	5	6
NO1	C/D	G	N ⁻	P ⁻	N ⁺	P ⁺
NO2	C/D	G	N ⁻	P ⁻	P ⁺	N ⁺
NO3	C/D	G	N ⁻	P ⁺	P ⁻	N ⁺
NO4	C/D	G	P ⁺	N ⁻	P ⁻	N ⁺
NO5	C/D	P ⁺	G	N ⁻	P ⁻	N ⁺
NO6	P ⁺	C/D	G	N ⁻	P ⁻	N ⁺
NO7	C/D	G	N ⁻	N ⁺	P ⁻	P ⁺
NO8	C/D	G	N ⁻	N ⁺	P ⁺	P ⁻
NO9	C/D	G	N ⁻	P ⁺	N ⁺	P ⁻
NO10	C/D	G	P ⁺	N ⁻	N ⁺	P ⁻
NO11	C/D	P ⁺	G	N ⁻	N ⁺	P ⁻
NO12	P ⁺	C/D	G	N ⁻	N ⁺	P ⁻
NO13	C/D	G	N ⁺	N ⁻	P ⁻	P ⁺
NO14	C/D	G	N ⁺	N ⁻	P ⁺	P ⁻
NO15	C/D	G	N ⁺	P ⁺	N ⁻	P ⁻
NO16	C/D	G	P ⁺	N ⁺	N ⁻	P ⁻
NO17	C/D	P ⁺	G	N ⁺	N ⁻	P ⁻
NO18	P ⁺	C/D	G	N ⁺	N ⁻	P ⁻
NO19	C/D	N ⁺	G	N ⁻	P ⁻	P ⁺
NO20	C/D	N ⁺	G	N ⁻	P ⁺	P ⁻
NO21	C/D	N ⁺	G	P ⁺	N ⁻	P ⁻
NO22	C/D	N ⁺	P ⁺	G	N ⁻	P ⁻
NO23	C/D	P ⁺	N ⁺	G	N ⁻	P ⁻
NO24	P ⁺	C/D	N ⁺	G	N ⁻	P ⁻

【0134】

【表2】

工程順序 例	1	2	3	4	5	6
NO25	N ⁺	C/D	G	N ⁻	P ⁻	P ⁺
NO26	N ⁺	C/D	G	N ⁻	P ⁺	P ⁻
NO27	N ⁺	C/D	G	P ⁺	N ⁻	P ⁻
NO28	N ⁺	C/D	P ⁺	G	N ⁻	P ⁻
NO29	N ⁺	P ⁺	C/D	G	N ⁻	P ⁻
NO30	P ⁺	N ⁺	C/D	G	N ⁻	P ⁻
NO31	C/D	G	P ⁻	N ⁻	N ⁺	P ⁺
NO32	C/D	G	P ⁻	N ⁻	P ⁺	N ⁺
NO33	C/D	G	P ⁻	P ⁺	N ⁻	N ⁺
NO34	C/D	G	P ⁺	P ⁻	N ⁻	N ⁺
NO35	C/D	P ⁺	G	P ⁻	N ⁻	N ⁺
NO36	P ⁺	C/D	G	P ⁻	N ⁻	N ⁺
NO37	C/D	G	P ⁻	N ⁺	N ⁻	P ⁺
NO38	C/D	G	P ⁻	N ⁺	P ⁺	N ⁻
NO39	C/D	G	P ⁻	P ⁺	N ⁺	N ⁻
NO40	C/D	G	P ⁺	P ⁻	N ⁺	N ⁻
NO41	C/D	P ⁺	G	P ⁻	N ⁺	N ⁻
NO42	P ⁺	C/D	G	P ⁻	N ⁺	N ⁻
NO43	C/D	G	N ⁺	P ⁻	N ⁻	P ⁺
NO44	C/D	G	N ⁺	P ⁻	P ⁺	N ⁻
NO45	C/D	G	N ⁺	P ⁺	P ⁻	N ⁻
NO46	C/D	G	P ⁺	N ⁺	P ⁻	N ⁻
NO47	C/D	P ⁺	G	N ⁺	P ⁻	N ⁻
NO48	P ⁺	C/D	G	N ⁺	P ⁻	N ⁻

【0135】

【表3】

工程順序 例	1	2	3	4	5	6
NO49	C/D	N ⁺	G	P ⁻	N ⁻	P ⁺
NO50	C/D	N ⁺	G	P ⁻	P ⁺	N ⁻
NO51	C/D	N ⁺	G	P ⁺	P ⁻	N ⁻
NO52	C/D	N ⁺	P ⁺	G	P ⁻	N ⁻
NO53	C/D	P ⁺	N ⁺	G	P ⁻	N ⁻
NO54	P ⁺	C/D	N ⁺	G	P ⁻	N ⁻
NO55	N ⁺	C/D	G	P ⁻	N ⁻	P ⁺
NO56	N ⁺	C/D	G	P ⁻	P ⁺	N ⁻
NO57	N ⁺	C/D	G	P ⁺	P ⁻	N ⁻
NO58	N ⁺	C/D	P ⁺	G	P ⁻	N ⁻
NO59	N ⁺	P ⁺	C/D	G	P ⁻	N ⁻
NO60	P ⁺	N ⁺	C/D	G	P ⁻	N ⁻

【0136】（第3形態に於ける不純物濃度の関係）本 10の低濃度ソース・ドレイン領域111、121の不
 発明の第3形態に関し、先の例ではN型の画素用TFT 50 純物濃度を約 $1.0 \times 10^{18} \text{ cm}^{-3}$ とし、N型の駆動回

路用TFT20の低濃度ソース・ドレイン領域211、221の不純物濃度を約 $3.0 \times 10^{18} \text{ cm}^{-3}$ としたが、画素用TFT10の低濃度ソース・ドレイン領域111、121をN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221に比して実質的に低濃度に形成して、画素領域におけるTFTのオフリーク電流の低減と、駆動回路部におけるTFTのオン電流の増大とを併せて実現できる条件であれば、上記実施例に記載の不純物濃度に限定されるものではない。たとえばN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の不純物濃度を約 $1.0 \times 10^{17} \text{ cm}^{-3}$ 以下とした場合にはそのオフリーク電流を $1 \times 10^{-14} \text{ A}$ 以下にまで確実に低減できるので、液晶表示装置における表示の品位が大幅に向上する。

【0137】ここで第3形態に於けるLDD不純物濃度が満たすべき好ましい関係を説明しておく。まず第1導電型の駆動回路用TFT(Dr1TFT)および第1導電型の画素用TFT(Pi1TFT)の低濃度ソース・ドレイン領域に打ち込まれた不純物量を $N_i \text{ cm}^{-3}$ とし、第2導電型の駆動回路用TFT(Dr2TFT)の低濃度ソース・ドレイン領域に打ち込まれた第2導電型不純物量を $N_{ii} \text{ cm}^{-3}$ とする。この時 N_i 、 N_{ii} が

$$0 < N_{ii} < N_i < 10 \times 10^{18} \quad \dots (1)$$

の関係を満たせばPi1TFTが第1導電型LDDTFTとなり、Dr1TFTもDr2TFTもLDDTFTと成る。この条件範囲は図17に於いて(A)

$$0 < N_{ii} < N_i \leq (4 \times 10^{18})$$

$$(N_i - 3 \times 10^{18}) \leq N_{ii} \leq (3 \times 10^{18}) \quad \dots (5)$$

を満たせば、Dr2TFT(P型TFT)のチャンネル長が $3 \mu\text{m}$ 程度以下と短く成ってもDr2TFTは十分高いS/D耐圧を有する様に成る。即ちDr2TFTの超微細化が可能と成る。この条件範囲は図17に於いて(G)(D)(C)(E)(J)で囲まれた五角形領域に相当する。更に第1導電型(N型)の駆動回路用薄膜トランジスタのチャンネル長 L_{D1} を $x(\mu\text{m})$ とした時に(但し、 $0 < x \leq 3$)、 x と N_i 、 N_{ii} が $0 < N_{ii} < N_i \leq (x \times 10^{18}) \quad \dots (6)$

を満たせば、N型のDr1TFTのチャンネル長が $3 \mu\text{m}$ 程度以下と短く成ってもDr1TFTも十分高いS/D耐圧を有する様に成る。即ちこの条件下ではDr1TFTもDr2TFTも両者の超微細化が可能と成る。この条件範囲は図17に於いて(G)(D)

(C)で囲まれた三角形領域に相当する。

【0138】(第3形態に於ける導電型)上記の説明では第1導電型をN型とし第2導電型をP型としたが、条件式(5)と(6)を除いてこれら導電型を逆にしてもよい。すなわち第1導電型をP型とし第2導電型をN型とするので有る。この場合画素用TFTはP型で構成される事と成る。一般にP型のTFTの方がオフリーク電

(D)(H)で囲まれた三角形領域に相当する。更に条件(1)を満たし且つ

$$(N_i - N_{ii}) \leq 3 \times 10^{18} \quad \dots (2)$$

を満たせば、Pi1TFTのオフリーク電流は十分小さく成る。この条件範囲は図17に於いて(A)(D)(C)(B)で囲まれた四角形領域に相当する。更に N_i 、 N_{ii} が

$$0 < N_{ii} \leq (4 \times 10^{18})$$

$$N_{ii} < N_i \leq (N_{ii} + 3 \times 10^{18}) \quad \dots (3)$$

を満たせば、Dr2TFTのチャンネル長が $4 \mu\text{m}$ 程度以下と短く成ってもDr2TFTは十分高いS/D耐圧を有する様に成り、Vdsの違いに依りトランジスタの閾値電圧(Vth)が変動するとの悪要件を回避し得る。即ち、Dr2TFTにスケーリング則を適応し得るので有る。この条件範囲は図17に於いて(F)

(D)(C)(I)で囲まれた四角形領域に相当する。更に N_i 、 N_{ii} が

$$0 < N_{ii} < N_i \leq (N_{ii} + 3 \times 10^{18})$$

$$N_i \leq (4 \times 10^{18}) \quad \dots (4)$$

を満たせば、Dr1TFTのチャンネル長が $4 \mu\text{m}$ 程度以下と短く成ってもDr1TFTも十分高いS/D耐圧を有する様に成る。即ちDr1TFTにもDr2TFTにも両者にスケーリング則を適応し得るので有る。この条件範囲は図17に於いて(F)(D)(C)(E)で囲まれた四角形領域に相当する。更に第1導電型がN型で第2導電型がP型の時 N_i 、 N_{ii} が

流のゲート電圧依存性が小さいので(P型TFTのゲート電圧を正の大きな値に設定してもリーク電流は差程大きく成らない)、表示品質が著しく向上するという利点がある。加えてこの場合DrP-TFTのLDD濃度はDrN-TFTのLDD濃度よりも高く成るので本発明の第1形態の条件を満たし、第1形態の効果をも得られる。ドーズ量の一例としてはP型の駆動回路TFTの低濃度ソース・ドレイン領域に $6 \times 10^{18} \text{ cm}^{-3}$ のP型不純物を打ち込み、N型の駆動回路TFTの低濃度ソース・ドレイン領域に $1 \times 10^{18} \text{ cm}^{-3}$ のN型不純物を打ち込めば、P型の画素用TFTの不純物濃度は実質的に $5 \times 10^{18} \text{ cm}^{-3}$ と成る。第1導電型と第2導電型を入れ換えた場合に於けるLDD領域の適正な不純物濃度は、図17で横軸と縦軸とを入れ代えた条件範囲で有る。

【0139】(第3形態に於けるレイアウト)第3形態に於いても無論第1形態の(本発明に係わるレイアウト)の章で説明したレイアウトは適応される。それに加えて図11に示すように、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さおよび幅をそれぞれ L_{FINLDD} 、 W_{FINLDD} とし、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、2

21の長さおよび幅をそれぞれ L_{DfNLDD} 、 W_{DfNLDD} とし、P型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321の長さおよび幅をそれぞれ L_{DfPLDD} 、 W_{DfPLDD} としたときに、 L_{PinLDD} 、 W_{PinLDD} 、 L_{DfNLDD} 、 W_{DfNLDD} は

$$(L_{PinLDD}/W_{PinLDD}) \geq (L_{DfNLDD}/W_{DfNLDD})$$

の式を満たして居る事が望ましい。こうする事でP i TFTではより確実にオフリーク電流を押さえ、Dr TFTでは十分に高いオン電流が得られるからで有る。更に L_{DfNLDD} 、 W_{DfNLDD} と L_{DfPLDD} 、 W_{DfPLDD} は

$$(L_{DfNLDD}/W_{DfNLDD}) > (L_{DfPLDD}/W_{DfPLDD})$$

の式を満たして居ることが望ましい。第3形態の発明で第1導電型をN型とすると、駆動回路用P型TFTのLDD濃度は必ず駆動回路用N型TFTのLDD濃度よりも低く成って仕舞い、本発明の第1形態の条件を満たし得ない。即ちN型に比べて移動度の低いP型LDD TFTのLDD領域に起因する寄生抵抗のほうがN型LDDのそれよりも高く成って仕舞う。そこでLDD領域のレイアウトを上式の様に設定すると、第1形態の条件を満たし得ずともP型TFTと型TFTのオン電流値を揃える事が可能と成る訳で有る。即ち第3形態に於いてもこうする事に依りゲート容量バランスが取れ、同時にオン電流のバランスも取れる様に成るので有る。

【0140】(本発明の第4形態)本発明の第1形態から第3形態では各TFTの特性を最適化するにあたって低濃度ソース・ドレイン領域の不純物濃度を最適化した。が、本発明ではその構造によって、各TFTの特性を最適化する。但し、各TFTの基本的な構成は、第1形態ないし第3形態と同様であるため、図1を参照して説明するとともに、対応する機能を有する部分については同じ符合を付してそれらの詳細な説明を省略する。

【0141】本発明の液晶表示装置はアクティブマトリクス基板上に駆動回路部に形成されCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを少なくとも有する。これら第1導電型の画素用薄膜トランジスタ及び第1導電型の駆動回路用薄膜トランジスタ、第2導電型の駆動回路用薄膜トランジスタはいずれもソース・ドレイン領域のうちゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有しており、第1導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域の長さは第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さより長く設定されて居る。これを図1を用いて具体的に説明する。なおここでは第1導電型をN型とし第2導電型をP型として説明するが、無論この反対で第1導電型をP型とし第2導電型をN型としてもしても良い。

【0142】図1ではN型の画素用TFT10の低濃度

$$(L_{PinLDD}/W_{PinLDD}) \geq (L_{DfNLDD}/W_{DfNLDD})$$

ソース・ドレイン領域111、121の長さはN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さより長く設定してある。例えばN型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さが約 $2\mu m$ であるのに対し、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さは約 $1.5\mu m$ である。

【0143】更に本発明の液晶表示装置はP型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さがN型の駆動回路用薄膜トランジスタの前記低濃度ソース・ドレイン領域の長さより短く設定されている。即ち図1のP型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321の長さをN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さに対して短く設定してある。たとえばN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さが約 $1.5\mu m$ で有れば、P型の駆動回路用TFT30の低濃度ソース領域311の長さ及び低濃度ドレイン領域321の長さは約 $0.8\mu m$ で有る。このLDD長の長さの関係は、N型の駆動回路用TFT20で好ましくは低濃度ソース・ドレイン領域211、221の長さを約 0.8 から $2\mu m$ に設定し、P型の駆動回路用TFT30では低濃度ソース・ドレイン領域311、321の長さを約 0.5 から $1\mu m$ に設定する。更にこの条件下でN型の駆動回路用TFT30における低濃度ソース・ドレイン領域311、321の長さをP型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の長さに対して約 1.5 倍から約 3 倍までの範囲に設定するば、理想的で有る。なお第4形態のCMOS TFTでも第1形態の(本発明に係わるレイアウト)の章で説明した事柄が適応される。即ち L_{DfN} 、 W_{DfN} 、 L_{DfP} 、 W_{DfP} が以下の式

$$0.8 \leq (L_{DfN} \cdot W_{DfN}) / (L_{DfP} \cdot W_{DfP}) \leq 1.25$$

$$0.8 \leq L_{DfN} / L_{DfP} \leq 1.25$$

を満たす範囲内であれば、ゲート容量のバランスを確保できる。たとえば、レイアウト面から、 W_{DfN} と W_{DfP} とを等しくする必要がある場合には、 L_{DfN} と L_{DfP} が以下の式

$$0.8 \leq L_{DfN} / L_{DfP} \leq 1.25$$

を満たすように設定する。

【0144】更に図11に示すように、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さおよび幅をそれぞれ L_{PinLDD} 、 W_{PinLDD} とし、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さおよび幅をそれぞれ L_{DfNLDD} 、 W_{DfNLDD} とし、P型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321の長さおよび幅をそれぞれ L_{DfPLDD} 、 W_{DfPLDD} としたときに、 L_{PinLDD} 、 W_{PinLDD} 、 L_{DfNLDD} 、 W_{DfNLDD} を、以下の式

$$1. 5 < (L_{DfSLDD} / W_{DfSLDD}) / (L_{DfPLDD} / W_{DfPLDD}) < 3. 0$$

の式を満たして居ることが望ましい。こうする事に依りゲート容量バランスが取れ、同時にオン電流のバランスも取れるからである。

【0145】このように構成した各TFTにおける低濃度ソース・ドレイン領域の長さ、オン、オフ電流特性との関係を、図18および図19に示す。まず、図18には、LDD構造のN型のTFTにおける低濃度ソース・ドレイン領域の長さ、オン電流との関係を実線L28で示し、LDD構造のP型のTFTにおける低濃度ソース・ドレイン領域の長さ、オン電流との関係を実線L29で示してある。ここで低濃度ソース・ドレイン領域の不純物濃度はP型及びN型のいずれのTFTでも約 $2 \times 10^{18} \text{ cm}^{-3}$ としてある。TFTのチャンネルサイズは $W/L = 10/10 (\mu\text{m})$ であり、ソース・ドレイン電圧は $V_{ds} = 5 \text{ V}$ であり、ゲート電圧は $V_{gs} = 10 \text{ V}$ である。この検討結果によれば、TFTではP型及びN型のいずれのタイプでも、低濃度ソース・ドレイン領域の長さを短くする方が、この部分における寄生抵抗値が小さくなる分だけ、大きなオン電流を得ることができる。従ってCMOS回路のゲート容量バランスを崩すことなく、同時にオン電流のバランスを確保するという観点からすれば、N型のTFTにおける低濃度ソース・ドレイン領域の長さをP型のTFTにおける低濃度ソース・ドレイン領域の長さに対して約1.5倍から約3倍までの範囲とすればよい。

【0146】一方図16にはLDD構造のN型のTFTにおける低濃度ソース・ドレイン領域の長さ、オフリーク電流との関係を実線L30で示し、LDD構造のP型のTFTにおける低濃度ソース・ドレイン領域の長さ、オフリーク電流との関係を実線L31で示してある。ここで、低濃度ソース・ドレイン領域の不純物濃度は、P型及びN型のいずれのTFTでも、約 $2 \times 10^{18} \text{ cm}^{-3}$ としてある。チャンネルサイズは $W/L = 10/10 (\mu\text{m})$ であり、ソース・ドレイン電圧は $V_{ds} = 5 \text{ V}$ であり、ゲート電圧 $V_{gs} = 0 \text{ V}$ である。この検討結果によれば低濃度ソース・ドレイン領域の長さを長くする方が、ドレイン端での電界緩和がより効率的に進み、それ故オフリーク電流を低減することができる。といえる。

【0147】この様に本発明の液晶表示装置に用いられるアクティブマトリクス基板では各TFTをLDD構造にしてあることに加えて、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さをN型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さよりも短く設定して有り、その値は約0.8から $2 \mu\text{m}$ 程度と成って居る。一方、N型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さは約1から $2.5 \mu\text{m}$ 程度で有る。こうした事実を反映して、図20に実線L42で示すようにN型の駆動回路用TFT20のオン電流は十分大き

く、その一方で一点鎖線L43で示すようにN型の画素用TFT10のオフリーク電流は窮めて小さく成って居る。しかもP型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321の長さをN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さよりも短くして有り、その値は約0.5から $1 \mu\text{m}$ 程度で有る。これにより図20に点線L44で示すようにP型の駆動回路用TFT30のオン電流がN型の駆動回路用TFT20のオン電流と同等のレベルまで改善されている。それ故、シフトレジスタの動作条件に充分なマージンを確保でき、更にオン電流のアンバランスに起因する誤動作も発生しない。しかもP型のTFTとN型のTFTの間では素子サイズが略同じであるため、ゲート容量もほぼ同等である。

【0148】（第4形態に於けるLDD長）これまでの説明ではN型の画素用TFTの低濃度ソース・ドレイン領域の長さを $2 \mu\text{m}$ とし、N型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さを $1.5 \mu\text{m}$ として来たが、かかる長さ限定されることは無い。N型の画素用TFTの低濃度ソース・ドレイン領域の長さをN型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さより長く設定さえすれば、画素領域におけるTFTのオフリーク電流の低減と、駆動回路部におけるTFTのオン電流の増大とを併せて実現できる。又N型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さを $0.8 \sim 2.0 \mu\text{m}$ とし、P型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さを $0.5 \sim 1.0 \mu\text{m}$ として説明して来たが、矢張りかかる長さ限定される物では無い。P型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さをN型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さより短く設定しさえすれば、駆動回路におけるオン電流のバランスを向上できる。特に、P型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さをN型の駆動回路用TFTの低濃度ソース・ドレイン領域の長さに対して約 $1/3$ から約 $1/1.5$ 倍までの範囲に設定すれば、それらのオン電流を略同等にすることができる。

【0149】（本発明の第5形態）本発明の第5形態では各LDD-TFTの特性を低濃度ソース・ドレイン領域の不純物濃度及びその構造に依り最適化する。但し、各TFTの基本的な構成は、第1形態ないし第4形態と同様であるため、図1を参照して説明するとともに、対応する機能を有する部分については同じ符合を付してそれらの詳細な説明を省略する。

【0150】本発明の液晶表示装置はアクティブマトリクス基板上に駆動回路部に形成されCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを少なくとも有する。これら第1導

電型の画素用薄膜トランジスタ及び第1導電型の駆動回路用薄膜トランジスタ、第2導電型の駆動回路用薄膜トランジスタはいずれもソース・ドレイン領域のうちゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造を有しており、第1導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域の長さは第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さより長く設定されて居る。更に第1導電型の画素用薄膜トランジスタにおける低濃度ソース・ドレイン領域の不純物濃度は第1導電型の駆動回路用薄膜トランジスタにおける低濃度ソース・ドレイン領域の不純物濃度に比較して低く成って居る。これを図1を用いて具体的に説明する。なおここでは第1導電型をN型とし第2導電型をP型として説明するが、無論この反対で第1導電型をP型とし第2導電型をN型としてもしても良い。

【0151】図1ではN型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さはN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さより長く設定してある。例えばN型の画素用TFT10の低濃度ソース・ドレイン領域111、121の長さが約 $2\mu\text{m}$ であるのに対し、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さは約 $1.5\mu\text{m}$ である。同時にN型の画素用TFT10における低濃度ソース・ドレイン領域111、121の不純物濃度はN型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の不純物濃度に比較して低く設定してある。一例としてはN型の画素用TFT10の低濃度ソース・ドレイン領域111、121における不純物濃度を約 $0.4 \times 10^{18} \text{ cm}^{-3}$ とし、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221における不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ とする。

【0152】更に本発明の液晶表示装置はP型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域311、321の長さがN型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域211、221の長さより短く設定されている。たとえばN型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221の長さが約 $1.5\mu\text{m}$ で有れば、P型の駆動回路用TFT30の低濃度ソース領域311の長さ及び低濃度ドレイン領域321の長さは約 $0.8\mu\text{m}$ で有る。このLDD領域の長さの関係は、N型の駆動回路用TFT20で好ましくは低濃度ソース・ドレイン領域211、221の長さを約 0.8 から $2\mu\text{m}$ に設定し、P型の駆動回路用TFT30では低濃度ソース・ドレイン領域311、321の長さを約 0.5 から $1\mu\text{m}$ に設定する。更にこの条件下でN型の駆動回路用TFT30における低濃度ソース・ドレイン領域311、321の長さをP型の駆動回路用TFT20における低濃度ソース・ドレイン領

域211、221の長さに対して約 1.5 倍から約 3 倍までの範囲に設定すれば、理想的で有る。又本発明ではP型の駆動回路用TFT30の低濃度ソース・ドレイン領域311、321における不純物濃度を、N型の駆動回路用TFT20の低濃度ソース・ドレイン領域211、221における不純物濃度に対して高く設定してある。たとえば、N型の駆動回路用TFT20では、低濃度ソース・ドレイン領域211、221の不純物濃度を約 $0.7 \times 10^{18} \text{ cm}^{-3}$ に設定してあるのに対して、P型の駆動回路用TFT30では、低濃度ソース・ドレイン領域311、321の不純物濃度を約 $5.0 \times 10^{18} \text{ cm}^{-3}$ に設定してある。すなわち、P型の駆動回路用TFT30における低濃度ソース・ドレイン領域311、321の不純物濃度をN型の駆動回路用TFT20における低濃度ソース・ドレイン領域211、221の不純物濃度に対して約 6 倍から約 8 倍までの範囲に設定してある。なお第5形態のCMOS TFTでも第1形態の(本発明に係わるレイアウト)の章で説明した事柄が適応される。即ち L_{D1N} 、 W_{D1N} 、 L_{D1P} 、 W_{D1P} が以下の式 $0.8 \leq (L_{D1N} \cdot W_{D1N}) / (L_{D1P} \cdot W_{D1P}) \leq 1.25$ を満たす範囲内であれば、ゲート容量のバランスを確保できる。更にN型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1NLDD} 、 W_{D1NLDD} とし、P型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D1PLDD} 、 W_{D1PLDD} としたときに、 L_{D1NLDD} 、 W_{D1NLDD} 、 L_{D1PLDD} 、 W_{D1PLDD} が $1.5 < (L_{D1NLDD} / W_{D1NLDD}) / (L_{D1PLDD} / W_{D1PLDD}) < 3.0$ の式を満たして居ることが望ましい。こうする事に依りオン抵抗を揃え、同時にゲート容量バランスが取れるからで有る。

【0153】なお第5形態に於けるLDD長の関係は(第4形態に於けるLDD長)に準ずる。又LDD領域に於ける不純物濃度の関係は(第2形態に係わる不純物濃度)に準ずる。

【0154】(本発明の第6形態)本発明の第6形態はN型およびP型の薄膜トランジスタによりCMOS回路が構成された薄膜半導体装置に関する。ここでは図11に示す様にN型の薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D2NLDD} 、 W_{D2NLDD} とし、P型の薄膜トランジスタの低濃度ソース・ドレイン領域の長さおよび幅をそれぞれ L_{D2PLDD} 、 W_{D2PLDD} としたときに、 L_{D2NLDD} 、 W_{D2NLDD} 、 L_{D2PLDD} 、 W_{D2PLDD} は、以下の式

$$(L_{D2NLDD} / W_{D2NLDD}) \geq (L_{D2PLDD} / W_{D2PLDD})$$

を満たして居る。更に本発明は斯様な薄膜半導体装置が形成された基板を構成要素の一部とする電子機器で有る。

【0155】これ迄説明して来た様にLDD TFTの

オン抵抗を決めるのは移動度などに代表されるチャンネル抵抗とLDD領域に起因するLDD抵抗の両者である。一方P型の移動度は通常N型の移動度よりも低いため必然的にP型TFTのチャンネル抵抗はN型TFTのチャンネル抵抗よりも高く成って仕舞う。そこで本発明ではこのチャンネル抵抗の相違をLDD抵抗の相違にて相殺するのである。P型の駆動回路用TFT30ではこうして低濃度ソース・ドレイン領域311、321における抵抗値がN型よりも小さくなる為、P型TFTのオン電流とN型TFTのオン電流をチャンネルサイズを両者の間ではほぼ同等とした儘揃える事が出来るのである。ゲート容量バランスを取るとの観点からは $L_{D,N}$ 、 $W_{D,N}$ 、 $L_{D,P}$ 、 $W_{D,P}$ が

$$0.8 \leq (L_{D,N} \cdot W_{D,N}) / (L_{D,P} \cdot W_{D,P}) \leq 1.25$$

の式を満たして居る事が望まれる。特に $W_{D,N} = W_{D,P}$ で有ったり、 $L_{D,N} = L_{D,P}$ で有れば複雑な回路のレイアウトも容易と成り、より高機能を備えたCMOS薄膜半導体装置と成る。従ってこの様な薄膜半導体装置を利用して各種回路が形成され、高性能化した携帯様コンピューターなどの電子機器が実現されるのである。なお第6形態の発明ではLDD領域の不純物濃度になんの制限も設けられない。即ち第1形態の条件を組み合わせる事も可能であるし、或いはLDD領域の不純物濃度をチャンネル形成領域の不純物濃度と同一とした所謂オフセット構造と組み合わせる事も可能である。

【0156】上記と同様の思想はLDD TFTを用いた液晶表示装置に対しても適応する事が出来る。即ち本発明の液晶表示装置はアクティブマトリクス基板上に駆動回路部でCMOS回路を構成する第1導電型および第2導電型の駆動回路用薄膜トランジスタと、画素領域に形成された第1導電型の画素用薄膜トランジスタとを有し、駆動回路用薄膜トランジスタおよび画素用薄膜トランジスタはソース・ドレイン領域のうち、ゲート電極の端部に対してゲート絶縁膜を介して対峙する部分に低濃度ソース・ドレイン領域を備えるLDD構造と成って居る。この際第1導電型の画素用薄膜トランジスタの低濃度ソース・ドレイン領域111、121の長さおよび幅をそれぞれ $L_{P,ILDD}$ 、 $W_{P,ILDD}$ とし、第1導電型の駆動回路用薄膜トランジスタの低濃度ソース・ドレイン領域211、221の長さおよび幅をそれぞれ $L_{D,ILDD}$ 、 $W_{D,ILDD}$ とすると、 $L_{P,ILDD}$ 、 $W_{P,ILDD}$ 、 $L_{D,ILDD}$ 、 $W_{D,ILDD}$ は、

$$(L_{P,ILDD} / W_{P,ILDD}) \geq (L_{D,ILDD} / W_{D,ILDD})$$

の式を満たしている。

【0157】このように構成すると、N型の駆動回路用TFT20では低濃度ソース・ドレイン領域211、221における抵抗値が小さくなる分だけ、大きなオン電流を得ることができる。一方、N型の画素用TFT10では、低濃度ソース・ドレイン領域111、121に電

界緩和が進む為、オフリーク電流を小さくすることができるのである。

【0158】(本願発明の構成) 第1形態ないし第3形態で説明したように、各TFTにおいて低濃度ソース・ドレイン領域の不純物濃度を最適化することによってTFTの電気的特性を向上する発明と、第4形態及第6形態で説明したように、各TFTにおいて低濃度ソース・ドレイン領域のサイズを最適化することによってTFTの電気的特性を向上する発明については、それぞれ個別に用いてもよいが、各発明形態に記載の構成をそれぞれ組み合わせてもよい。例えば第3形態と第6形態とを組み合わせれば、各領域に対する不純物導入量についての制約が有るが故各TFTにおいて低濃度ソース・ドレイン領域の不純物濃度を変えただけでは達成できないような駆動回路用TFT同士のオン電流のバランス確保をも各TFTにおける低濃度ソース・ドレイン領域のサイズを最適化することによって達成することができる。

【0159】又いずれの発明形態に於いても1画素あたり1つのTFTを介して画素への書き込みを行う構成になっているが、本発明のTFTを用いたCMOS回路を介して画素への書き込みを行ってもよい。

【0160】(本発明の液晶表示装置を用いた電子機器) 本発明により得られた液晶表示装置をフルカラーの携帯型パーソナルコンピューター(ノートPC)の筐体に組み込んだ。クロック生成回路、シフトレジスター回路、NORゲート、デジタル映像信号線、ラッチ回路1、ラッチパルス線、ラッチ回路2、リセット線1、ANDゲート、規準電位線、リセット線2、容量分割に依る6ビットD/Aコンバーター、CMOSアナログスイッチなどから成る6ビットデジタルデータドライバをアクティブマトリクス基板が内蔵して居り、これら高な回路も総て本発明のCMOS薄膜半導体装置から出来上がっている。この液晶表示装置ではコンピューターからのデジタル映像信号を直接液晶表示装置に入力出来る為、外部回路構成が簡素と化し、同時に消費電力も窮めて小さく成った。加えて表示部に用いられているP i TFTも高性能である為、このノートPCは非常に美しい表示画面を有する良好な電子機器である。これにより長時間使用可能で、且つ綺麗な表示画面を有する超小型軽量電子機器が作成された。

【0161】

【発明の効果】以上説明したように、本発明の第1形態に係る薄膜半導体装置では、CMOS回路が構成する前記N型およびP型のTFTは、LDD構造を有しているとともに、P型のTFTにおける低濃度・ドレイン領域の不純物濃度は、N型のTFTにおける低濃度ソース・ドレイン領域の不純物濃度に比較して高いことを特徴とする。従って、本発明によれば、ゲート電極の端部に対して対峙する部分が低濃度ソース領域および低濃度ドレイン領域になっているため、ドレイン端における電界強

度が緩和される。このためS/D耐圧やS/G耐圧が高くなり、TFTの短チャネル長化等の微細化が可能である。これに依りオン電流は増大し、駆動回路の高速動作が可能となる。しかも短チャネル長化によってゲート容量が小さくなるので、この点からも、駆動回路の高速動作が可能となる。また、駆動回路では、TFTのオフリーク電流が小さいので、誤動作が発生しにくいとともに、CMOS回路の消費電流も小さく成る。さらに、P型のTFTにおける低濃度ソース・ドレイン領域の不純物濃度はN型のTFTのそれに比して高いため、各TFT間で素子サイズをほぼ同一、或いは同一とした儘、N型およびP型のTFT間におけるオン電流特性を同等にすることができ、ゲート容量のバランスも崩れず、それ故回路の誤動作も生じにくい。又、ドレイン端での電界緩和が進む結果回路の信頼性も著しく向上するので有る。

【0162】本発明の第2形態に係る液晶表示装置では、各TFTがLDD構造を有しているとともに、第1導電型の画素用TFTにおける低濃度ソース・ドレイン領域の不純物濃度は、第1導電型の駆動回路用TFTにおける低濃度ソース・ドレイン領域の不純物濃度に比較して低いことを特徴とする。従って、本発明では、LDD構造による効果に加えて、画素用TFTのオフ電流の一層の低減と、駆動回路用TFTのオン電流の一層の増大とを併せて達成できる。それ故、表示むらなどが発生せず、かつ、駆動回路部の動作速度がさらに高い液晶表示装置を実現できる。

【0163】本発明の第3形態では、各TFTがLDD構造を有しているとともに、画素用TFTの低濃度ソース・ドレイン領域は、第1導電型および第2導電型の不純物が導入されていることにより、第1導電型の駆動回路用TFTの低濃度ソース・ドレイン領域よりも実質的に低濃度の第1導電型領域になっていることを特徴とする。従って、本発明によれば、第1導電型および第2導電型の駆動回路用TFTの製造工程を援用しながら、第1導電型の駆動回路用TFTとは異なる電気的特性をもつ画素用TFTを形成できる。それ故、製造工程を増やすことなく、TFTの電気的特性を画素領域および駆動回路部毎に最適化することによって、表示むらなどが発生しにくく、かつ、駆動回路部の動作速度が高いアクティブマトリクス基板を製造することができる。

【0164】本発明の第4及び第6形態に係る液晶表示装置では、各TFTがLDD構造を有しているとともに、各TFTにおける低濃度ソース・ドレイン領域の面積を最適化することを特徴とする。従って、本発明によれば、LDD構造による効果に加えて、画素用TFTのオフ電流の一層の低減と、駆動回路用TFTのオン電流の一層の増大、駆動回路用TFTのオン電流やゲート容量バランスの確保などを達成できる。それ故、表示むらなどが発生せず、かつ、駆動回路部の動作速度がさらに

高い液晶表示装置を実現できる。

【0165】本発明の第5形態に係る液晶表示装置では、各TFTがLDD構造を有しているとともに、各TFTにおける低濃度ソース・ドレイン領域の面積を最適化し更にLDD領域の不純物濃度も最適化することを特徴とする。従って、本発明によれば、LDD構造による効果に加えて、画素用TFTのオフ電流の一層の低減と、駆動回路用TFTのオン電流の一層の増大、駆動回路用TFTのオン電流やゲート容量バランスの確保などを達成できる。それ故、表示むらなどが発生せず、かつ、駆動回路部の動作速度がさらに高い液晶表示装置を実現できる。

【図面の簡単な説明】

【図1】 本発明に係る薄膜トランジスタを用いたアクティブマトリクス基板を模式的に示す断面図である。

【図2】 (a)は、図1に示す薄膜トランジスタを用いた液晶表示装置のアクティブマトリクス基板の説明図、(b)は、その駆動回路に用いたCMOS回路の説明図である。

【図3】 (a)、(b)は、N型およびP型のTFTにおけるドレイン耐圧のチャネル長依存性を示すグラフ図である。

【図4】 従来のN型およびP型の薄膜トランジスタのオン・オフリーク電流特性を比較して示すグラフ図である。

【図5】 本発明に係る液晶表示装置において、アクティブマトリクス上に形成した各TFTのオン・オフリーク電流特性を比較して示すグラフ図である。

【図6】 本発明に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程までを示す工程断面図である。

【図7】 本発明に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。

【図8】 本発明に係るアクティブマトリクス基板の別の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。

【図9】 本発明に係る液晶表示装置において、アクティブマトリクス上に形成した各TFTにおける低濃度ソース・ドレイン領域の不純物濃度とオン電流特性との関係を示すグラフ図である。

【図10】 本発明に係る液晶表示装置において、アクティブマトリクス上に形成した各TFTにおける低濃度ソース・ドレイン領域の不純物濃度とオフリーク電流特性との関係を示すグラフ図である。

【図11】 本発明に係る液晶表示装置において、N型およびP型の薄膜トランジスタにおけるサイズ面での構成を説明するための説明図である。

【図12】 本発明に係る液晶表示装置において、アクティブマトリクス上に形成した各TFTのオン・オフリ

59

ーク電流特性を比較して示すグラフである。

【図 1 3】 本発明に係るアクティブマトリクス基板の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。

【図 1 4】 本発明に係るアクティブマトリクス基板の別の製造方法のうち、ゲート電極の形成工程以降の工程を示す工程断面図である。

【図 1 5】 本発明に係るアクティブマトリクス基板の製造方法を示す工程断面図である。

【図 1 6】 本発明に係るアクティブマトリクス基板の別の製造方法を示す工程断面図である。

【図 1 7】 本発明に係るアクティブマトリクス基板の各 T F T の低濃度ソース・ドレイン領域への不純物導入条件を説明するためのグラフである。

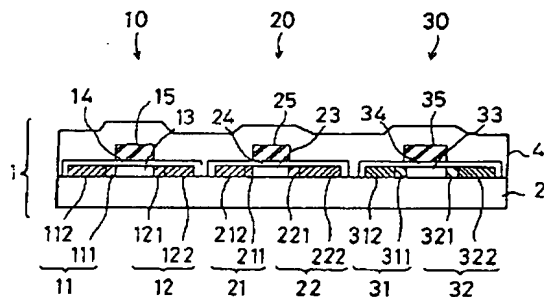
【図 1 8】 本発明に係る液晶表示装置において、アクティブマトリクス基板上に構成された各 T F T のオン電流特性を示すグラフである。

【図 1 9】 本発明に係る液晶表示装置において、アクティブマトリクス基板上に構成された各 T F T のオフリーク電流特性を示すグラフである。

【図 2 0】 本発明に係る液晶表示装置において、アクティブマトリクス上に形成した各 T F T のオン・オフリーク電流特性を比較して示すグラフである。

【符号の説明】

【図 1】



60

1・・・アクティブマトリクス基板

2・・・絶縁基板

10・・・N型の画素用 T F T

20・・・N型の駆動回路用 T F T

30・・・P型の駆動回路用 T F T

n 1、n 2・・・N型の T F T

p 1、p 2・・・P型の T F T

1 1、2 1、3 1・・・ソース領域

1 2、2 2、3 2・・・ドレイン領域

1 3、2 3、3 3・・・チャネル形成領域

1 4、2 4、3 4・・・ゲート絶縁膜

1 5、2 5、3 5・・・ゲート電極

8 2・・・データドライバ部（駆動回路）

8 3・・・走査ドライバ部（駆動回路）

8 4、8 8・・・シフトレジスタ

8 5、8 9・・・レベルシフト

9 0・・・信号線

9 1・・・走査線

9 2・・・画素用 T F T

20 9 4・・・液晶セルの容量

1 1 1、1 2 1、2 1 1、2 2 1、3 1 1、3 2 1・・・

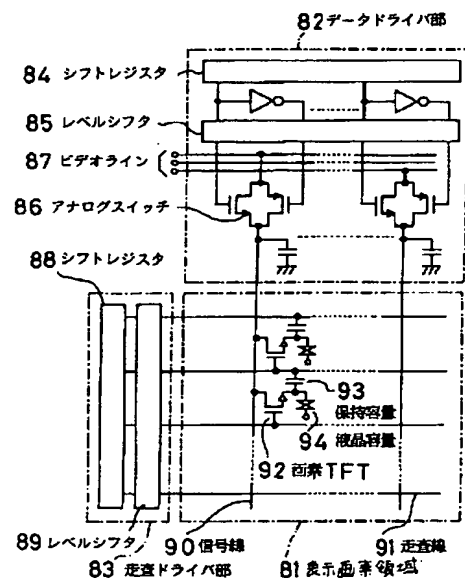
・低濃度ソース・ドレイン領域

1 1 2、1 2 2、2 1 2、2 2 2、3 1 2、3 2 2・・・

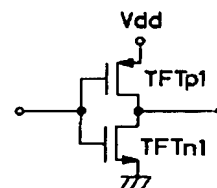
・高濃度ソース・ドレイン領域

【図 2】

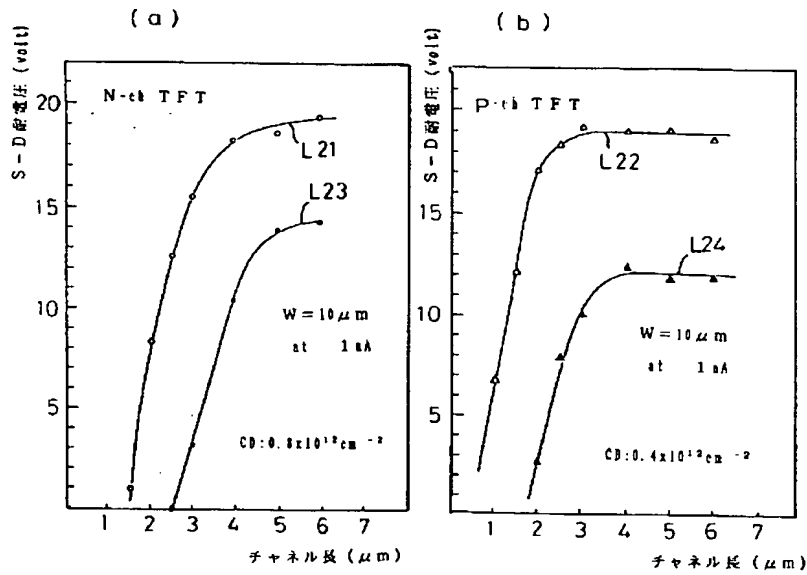
(a)



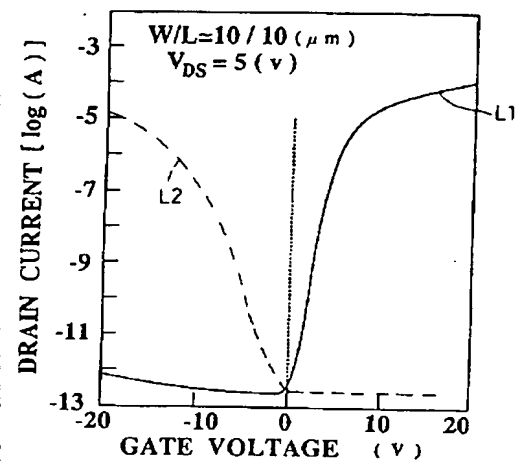
(b)



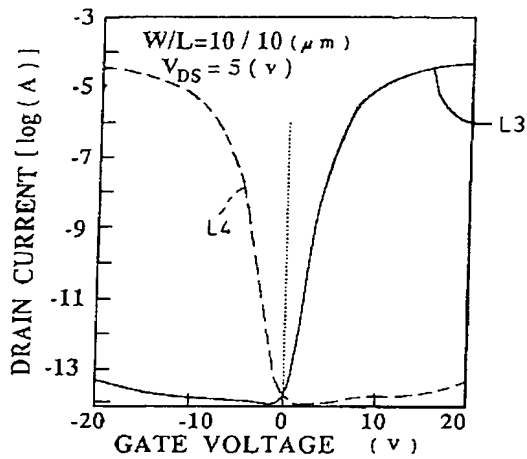
【図3】



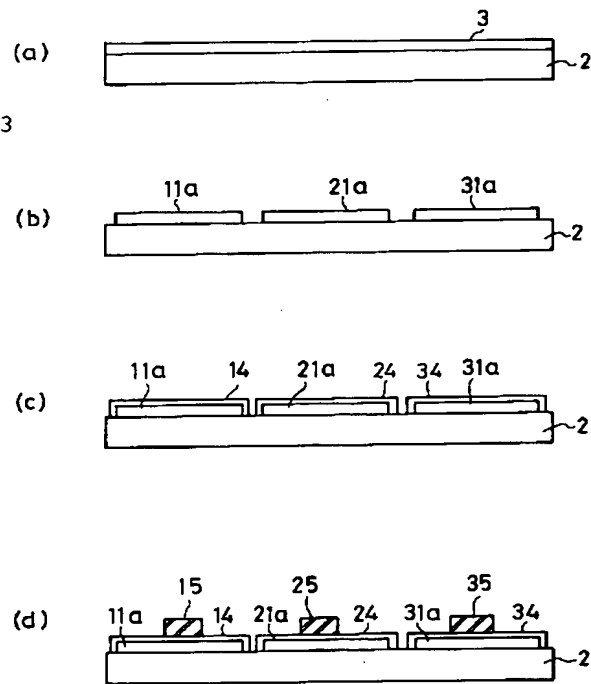
【図4】



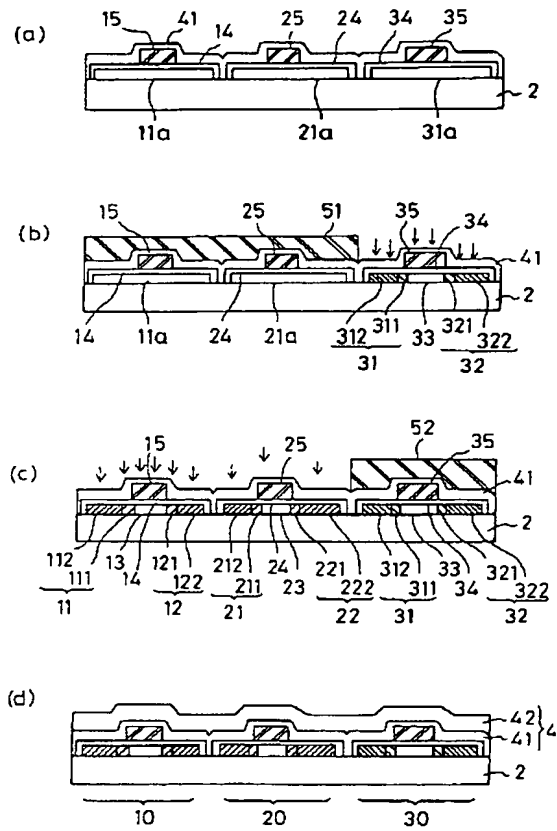
【図5】



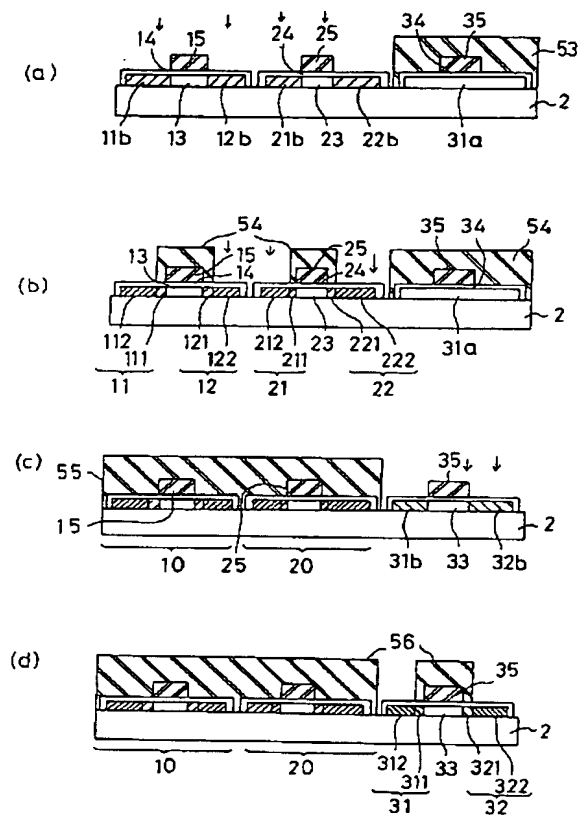
【図6】



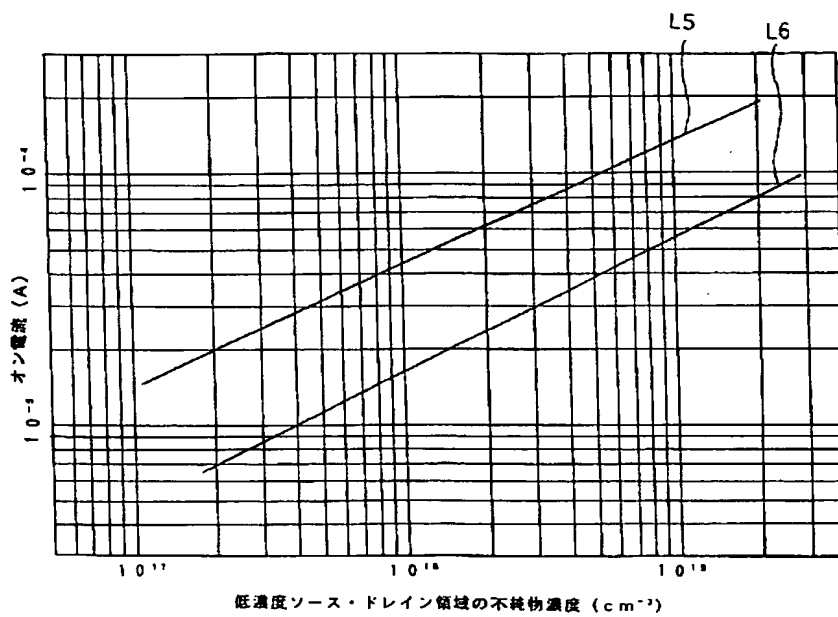
【図7】



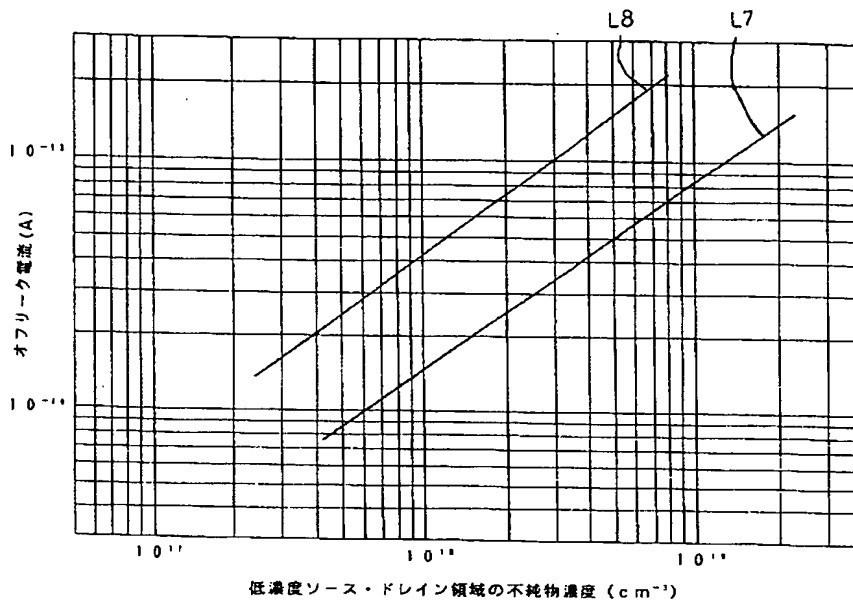
【図8】



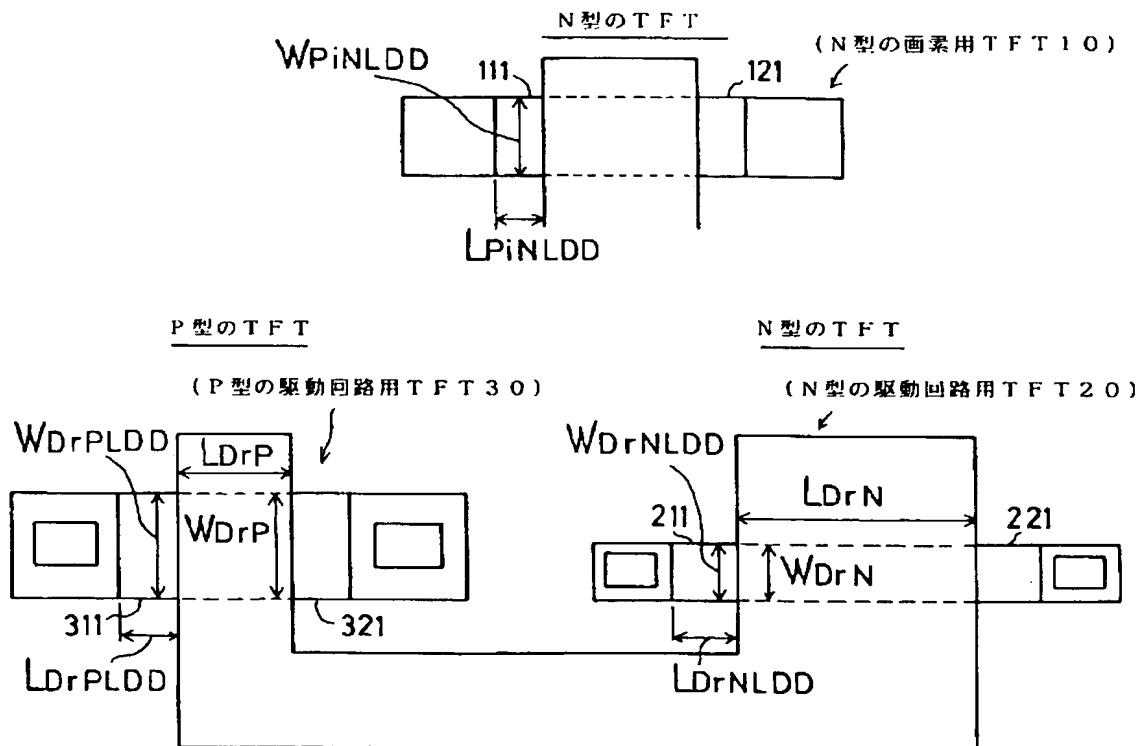
【図9】



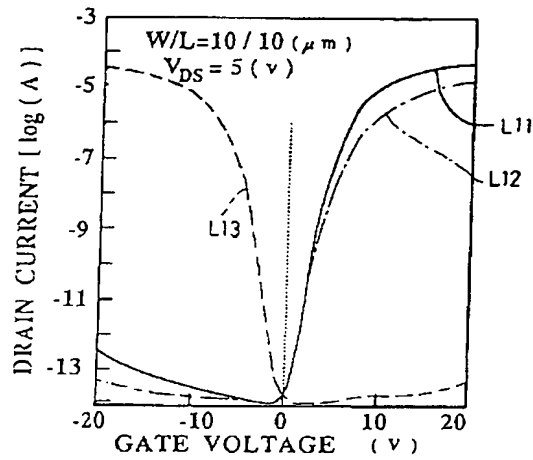
【図10】



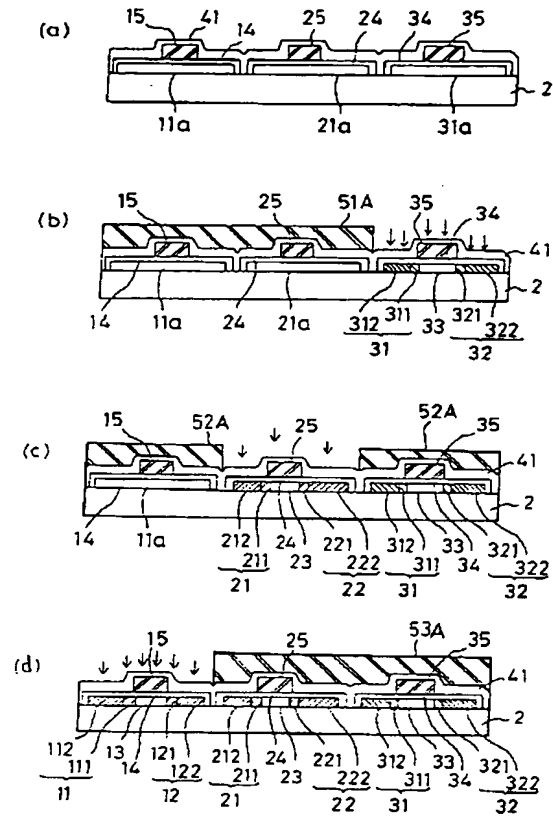
【図11】



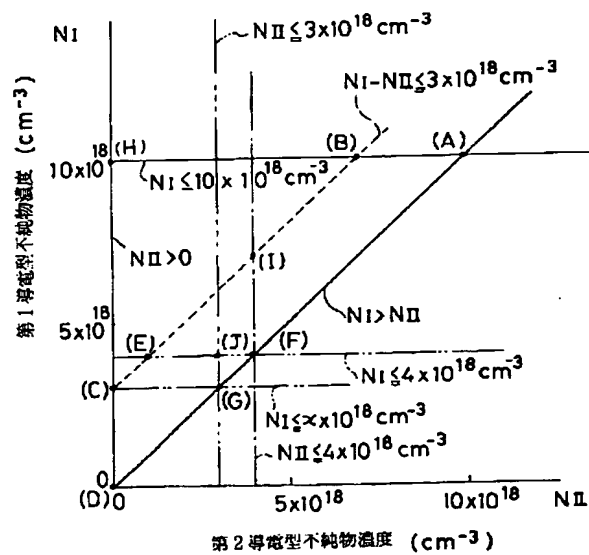
【図 12】



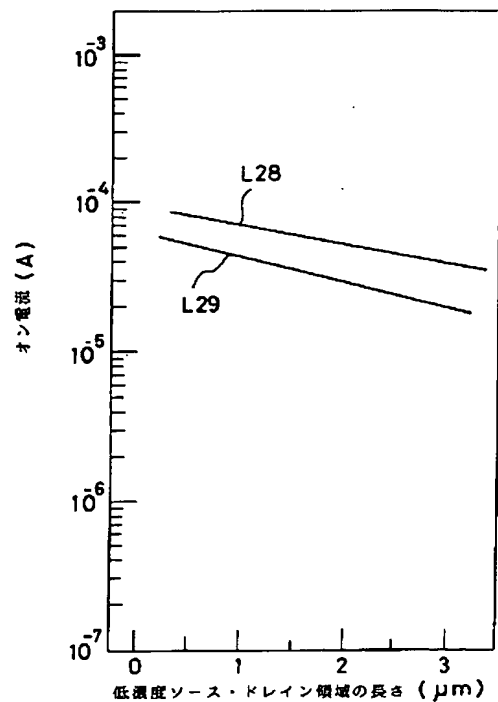
【図 13】



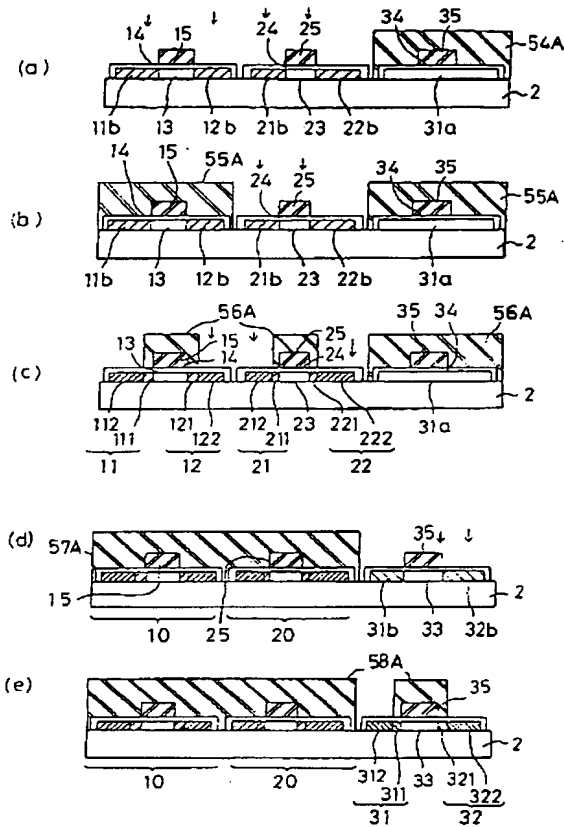
【図 17】



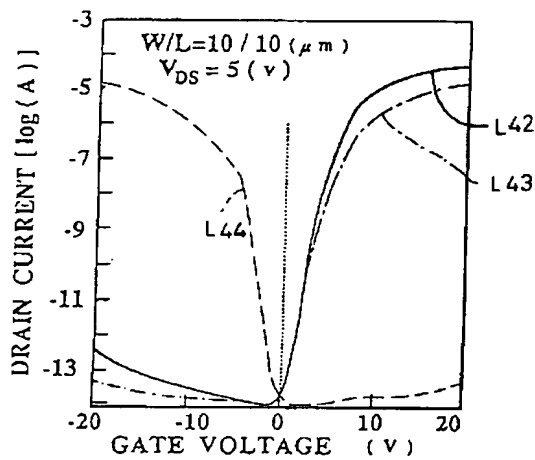
【図 18】



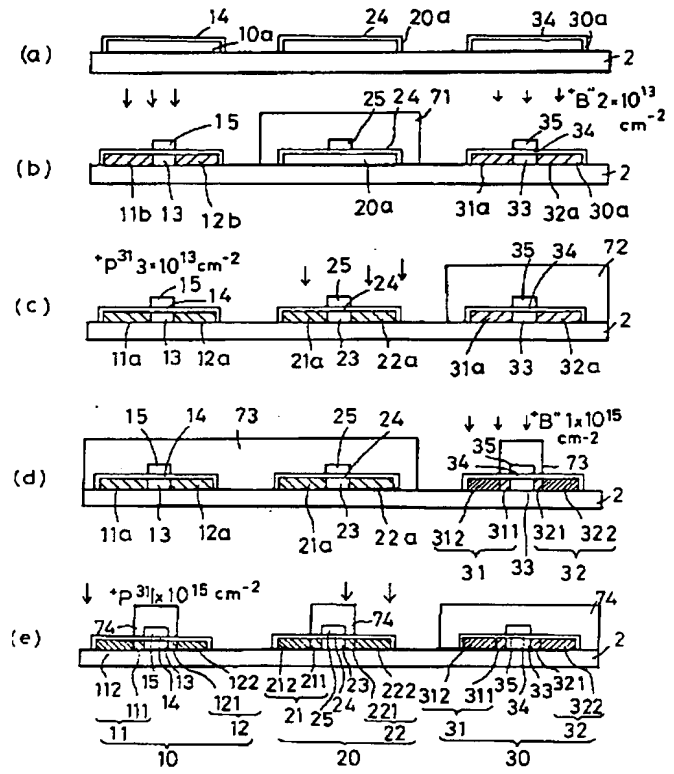
【図 14】



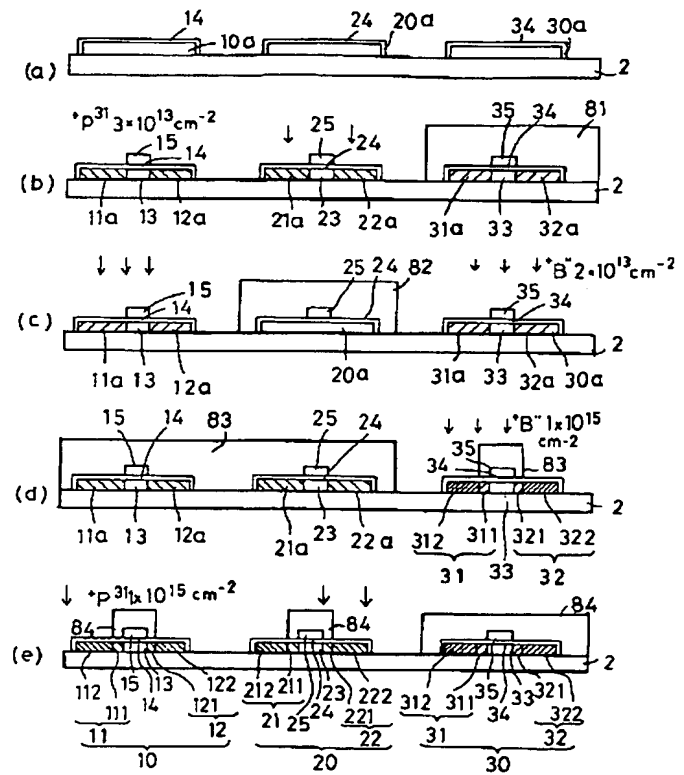
【図 20】



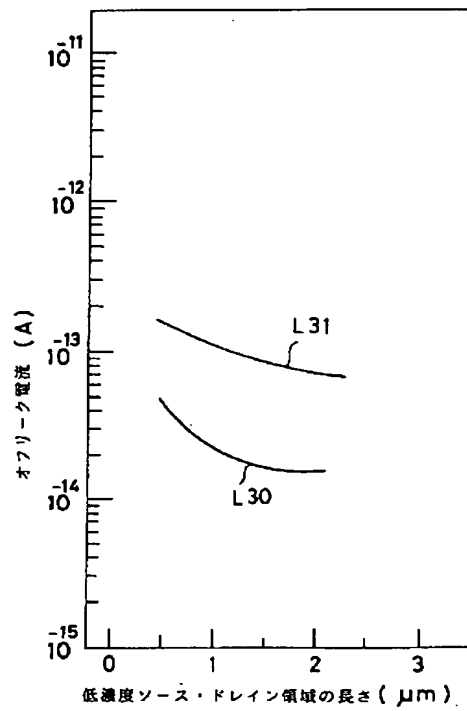
【図 15】



【図 16】



【図 1 9】



フロントページの続き

- (31) 優先権主張番号 特願平7-192282
(32) 優先日 平7(1995)7月27日
(33) 優先権主張国 日本(JP)